

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Method and apparatus for adaptively processing the readback signal in a read channel device for digital storage

Patent Number: [EP0822554, A3](#)

Publication date: 1998-02-04

Inventor(s): CONTRERAS RICHARD A (US); SHIH SHIH-MING (US); THAPAR HEMANT K (US)

Applicant(s): NIPPON ELECTRIC CO (JP)

Requested Patent: [JP10106162](#)

Application Number: EP19970113311 19970801

Priority Number(s): US19960690950 19960801

IPC Classification: G11B20/10; H03H21/00

EC Classification: [G11B20/10A](#)

Equivalents: DE69709957D, DE69709957T, [JP2000076797](#), JP3003780B2, SG70020, [US5949820](#)

Cited patent(s): [US5508570](#); [EP0716506](#); [JP63042561](#)

Abstract

Apparatus and Methods are disclosed for adaptively optimizing an ER filter in a readback system of a storage device, such as a disk drive. A sample value is read from the storage device and an error measure is calculated between the sample value and an ideal value. Pole parameters and zeros of the ER filter are modified to minimize the ER filter. The apparatus and methods disclosed can function with customer data to adaptively optimize the ER filter in real time during normal operation of the storage device. Furthermore, temperature compensation circuits are disclosed to compensate for temperature

dependencies in the ER filter. 

Data supplied from the [esp@cenet](#) database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-106162

(43)公開日 平成10年(1998)4月24日

(51) Int.Cl.⁶
 G 11 B 20/10
 20/18

識別記号
 3 2 1
 5 7 2

F I
 G 11 B 20/10
 20/18

3 2 1 A
 5 7 2 F

審査請求 有 請求項の数13 O.L (全24頁)

(21)出願番号 特願平9-208193
 (22)出願日 平成9年(1997)8月1日
 (31)優先権主張番号 08/690950
 (32)優先日 1996年8月1日
 (33)優先権主張国 米国(US)

(71)出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72)発明者 シー ミン シー
 アメリカ合衆国, カリフォルニア 95120,
 サン ホセ, ポンス コート 5815
 (72)発明者 ヘマント ケ タパー
 アメリカ合衆国, カリフォルニア 95120,
 サン ホセ, スカースデール ブレイス
 7259
 (74)代理人 弁理士 後藤 洋介 (外2名)

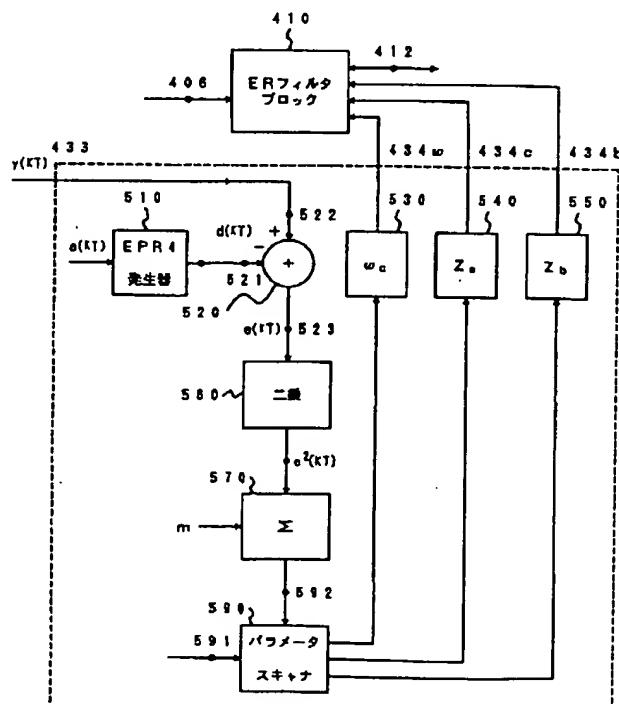
最終頁に統ぐ

(54)【発明の名称】 ERフィルタ最適化方法

(57)【要約】

【課題】 ディクスドライブなどの記憶装置の読み出しシステムにおけるERフィルタを最適化するための装置を提供する。

【解決手段】 記憶装置の読み出しシステムに含まれる、極(pole)パラメータ及びゼロを有するER(等化受信: equalization and receive)フィルタ410を最適化するためのフィルタ最適化装置433において、記憶装置からサンプル値を読み出す手段と、理想値を決定する手段と、前記サンプル値と前記理想値との間の誤差値を計算する手段と、前記極パラメータを前記誤差値が最小になるように変更する手段とを含む。前記ERフィルタの前記ゼロを前記誤差値が最小になるように変更する手段をさらに含んでもよい。前記サンプル値は、ユーザ専用(customer)データであってもよい。前記極パラメータは、典型的には、前記ERフィルタのカットオフ周波数パラメータである。



【特許請求の範囲】

【請求項 1】 記憶装置の読み出しシステムに含まれる、極(pole)パラメータ及びゼロを有するER(等化受信: equalization and receive) フィルタを最適化するための方法において、

前記記憶装置からサンプル値を読み出すステップと、理想値を決定するステップと、

前記サンプル値と前記理想値との間の誤差値を計算するステップと、

前記極パラメータを前記誤差値が最小になるように変更するステップとを含むことを特徴とするERフィルタ最適化方法。

【請求項 2】 前記ERフィルタの前記ゼロを前記誤差値が最小になるように変更するステップをさらに含むことを特徴とする請求項 1 に記載のERフィルタ最適化方法。

【請求項 3】 前記サンプル値は、ユーザ専用(customer)データであることを特徴とする請求項 1 に記載のERフィルタ最適化方法。

【請求項 4】 前記極パラメータは、前記ERフィルタのカットオフ周波数パラメータであることを特徴とする請求項 1 に記載のERフィルタ最適化方法。

【請求項 5】 記憶装置の読み出しシステムに含まれる、極(pole)パラメータ及びゼロを有するER(等化受信: equalization and receive) フィルタを最適化するための装置において、

前記記憶装置からサンプル値を読み出す手段と、

理想値を決定する手段と、

前記サンプル値と前記理想値との間の誤差値を計算する手段と、

前記極パラメータを前記誤差値が最小になるように変更する手段とを含むことを特徴とするERフィルタ最適化装置。

【請求項 6】 前記ERフィルタの前記ゼロを前記誤差値が最小になるように変更する手段をさらに含むことを特徴とする請求項 5 に記載のERフィルタ最適化装置。

【請求項 7】 前記サンプル値は、ユーザ専用(customer)データであることを特徴とする請求項 5 に記載のERフィルタ最適化装置。

【請求項 8】 前記極パラメータは、前記ERフィルタのカットオフ周波数パラメータであることを特徴とする請求項 5 に記載のERフィルタ最適化装置。

【請求項 9】 記憶装置の読み出しシステムに含まれる、カットオフ周波数及び複数個のゼロを有するER(等化受信: equalization and receive) フィルタを最適化するための方法において、

前記カットオフ周波数に対するカットオフ値及び前記複数個のゼロに対する複数個のフィルタゼロ値を決定するステップと、

前記記憶装置から複数個M個のサンプル値として読み出

すステップと、

前記M個のサンプル値の各々に関する理想値を決定し、M個の理想値を出力するステップと、

前記サンプル値と前記理想値との間の平均二乗誤差値を計算するステップと、前記カットオフ値と前記フィルタゼロ値の各々とを変更し、前記平均二乗誤差値を最小化するステップと、

前記カットオフ値をチューニング(tuning)電流に変換するステップと、

前記フィルタゼロ値の各々をフィルタゼロ電圧に変換するステップと、

前記チューニング電流をバイアス電圧に変換するステップと、

前記バイアス電圧及び前記フィルタゼロ値の各々を前記ERフィルタに与え、前記ERフィルタの前記カットオフ周波数及び前記複数個のゼロを調節するステップとを含むことを特徴とするERフィルタ最適化方法。

【請求項 10】 チューニング(tuning)電流入力端子と、電圧入力端子と、電圧出力端子とを有する温度／電圧補償回路において、

前記チューニング電流入力端子に接続される第1の電流端子と、接地された第1の電源端子と、第2の電流端子とを有する第1のカレントミラーと、

前記第1のカレントミラーの前記第2の電流端子に接続された第3の電流端子と、正の供給電圧を印加される第2の電源端子と、第4の電流端子とを有する第2のカレントミラーと、

前記電圧入力端子と前記第2のカレントミラーの前記第4の電流端子とに接続された第1の電源端子と、前記チ

ューニング電流入力端子と前記電圧出力端子とに接続された制御端子と、接地された第2の電源端子とを有する整合(matching)トランジスタとを備えたことを特徴とする温度／電圧補償回路。

【請求項 11】 前記電圧入力端子に接続された第2の制御端子と、前記第2のカレントミラーの前記第4の電流端子に接続された第3の電源端子と、前記整合トランジスタの前記第1の電源端子に接続された第4の電源端子とを有する第2のトランジスタをさらに備え、

前記整合トランジスタの前記第1の電源端子は、前記電圧入力端子と前記第2のカレントミラーの前記第4の電流端子とに、前記第2のトランジスタを介して接続されていることを特徴とする請求項 10 に記載の温度／電圧補償回路。

【請求項 12】 前記整合トランジスタは、MOSFETであることを特徴とする請求項 10 に記載の温度／電圧補償回路。

【請求項 13】 前記第2のトランジスタは、バイポーラトランジスタであることを特徴とする請求項 11 に記載の温度／電圧補償回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、読み出し信号を部分応答目標(partial response target)に等化するための方法及び装置に関する。特に、本発明は、マルチレート動作や低速の時間変動チャネルに対して調節可能であるプログラム可能な(或いは適応的な)パラメータを有する組合せER(等化受信:equalization and receive)フィルタを最適化するための方法及び装置に関する。

【0002】

【従来の技術】磁気的及び光学的デジタル記憶の用途には、媒体上にデジタルシーケンスを記録し、アナログ信号からこのようなシーケンスを取り出すことが含まれるが、これらは読み出しヘッドによって検出され、ノイズや干渉や歪みによって損なわれる。基本的な設計目標は、記録されたシーケンスと再生されたシーケンスとの間の許容誤り率を維持しつつ、単位面積あたりの高い記録密度を達成することである。この設計目標を達成するために、読み出し/書き込みチャネルには、符号化法と等化法の組み合わせを用いている。これらの機能について以下に述べる。

【0003】ランレンジス制限(RLL:Run-Length Limited)コード

磁気的及び光学的デジタル記憶装置は、信号検出能力を向上させるため、或いは、タイミングや利得ループの頻繁な更新を保証するため、またはその両方の目的でRLLコードを用いている。RLLコードは、一般に、2つのパラメータ、即ちdとkによって特徴付けられ、これらはそれぞれ、2値入力信号における連続する状態変化間のシンボルインターバル数の最大値及び最小値をそれぞれ制御するものである。ある値のdについて、RLLコードは、連続する状態変化間に最低(d+1)個の、最大(k+1)個のシンボルインターバルが存在することを保証する。磁気及び光学記憶装置において通常用いられるコードには、(1, 7)や(2, 7)に制限された(d, k)値をもつコードが含まれる。一般に、これらのコードは、ピーク検出法に用いられる。k値の制限により、非ゼロチャネル出力が最小に近い頻度で発生し、タイミング及び利得ループの堅実な動作を維持することが保証される。d値の制限により、ピーク検出を用いた信号検出能力が助長される。部分応答最尤法(PRML: partial response maximum likelihood)技術への関心が増大するにつれ、本質的コードレートの高い、d=0コードの人気が高まりつつある。

【0004】部分応答シングナーリング

磁気および光学記録システムにおける記録密度を制限する主な影響の1つは、符号間干渉(ISI:intersymbol interference)である。この影響は、ヘッドと媒体の組合せのものつ帶域制限性に起因するものであり、媒体上の連続して記録された状態変化による応答のオーバー

ラップを生じる。即ち、ある時点において、媒体からの出力信号は、その時点における入力シンボルによる応答だけでなく既に記録されたいくつかのシンボルからの応答をも含んでいる。このオーバーラップの量および範囲は、線形記録密度が増すと増加し、その結果、非常に複雑で、簡単な装置では解決することが難しいシンボル間のオーバーラップパターンを生じる。

【0005】ISIの影響を解決するために要求される複雑性を減少するために、まず、読み出し信号を規定された部分応答(PR: partial response)信号に等化する。

PR信号は、連続する入力シンボルによる出力信号における応答のオーバーラップ(すなわち干渉)を制御することを可能にするという特徴を有している。等化後の制御されたISIについての先駆的知識により、等化されていない信号と比較して、要求される検出器の複雑性はかなり減少される。

【0006】図1に示すように、ヘッド/媒体/プレアンプ102の出力端子104上のアナログ読み出し信号は、等化器106の入力端子に送られる。PRML受信機としても知られる等化器106は、読み出し信号を等化して、等化器106の出力端子108上に等化信号を生じる。等化信号は、適切なPR信号でなければならぬ。

【0007】データ通信やデジタル磁気記録システムにおいて通常用いられているPR目標信号は、次の伝達多项式によって特徴づけられる。

$$[0008] P(D) = 1 - D^2$$

ここで、Dは単位シンボル遅延動作の変換を表している。このPR信号は、通常、「4級(Class I V) PR」、或いは修正された双2値(dubinary)シグナーリングと呼ばれる。4級PRに対する適切に規定されたサンプリング点における無ノイズ出力応答は、次式によって与えられる。

$$[0009] y(kT) = a(kT) - a[(k-2)T], \quad n=2, 3, \dots$$

ここで、a(kT)は、時刻kTにおける入力シンボルであり、通常2値体系である{0, 1}或いは{1, -1}から選ばれる。即ち、時刻nTにおける出力サンプルは、2つの入力シンボルa(nT)とa[(n-2)T]のオーバーラップを含んでいる。

【0010】等化器106の出力端子108上の等化信号は、ビタビアルゴリズムに基づくビタビ検出器110などのシーケンス検出器を用いて検出される。この4級部分応答とビタビ検出との組み合わせは、磁気記録分野においては、通常、「部分応答最尤法」を簡略化してPRMLと呼ばれている。

【0011】PR目標信号の選択は一義的ではないが、動作線形密度によって指定される。磁気記録の用途については、数多くのPR目標がよく知られている。ここで、これらの目標をまとめてPR信号の「拡張4級」グ

ループと呼ぶ。拡張4級グループは、次多項式によって定義される。

$$[0012] P(D) = (1-D)(1+D)^n$$

ここで、 n は、適切に選択された負ではない整数である。ここで、 $n=1$ のとき、標準4級PR信号が得られる。 $n=2$ のときはEPR4と呼ばれ、 $n=3$ のときはE²PR4というように呼ばれる。

[0013] 等化法

図2に示すように、等化器106を実現するための典型的な方法としては、反エイリアシング(anti-aliasing)及び「粗い」等化を実行する受信フィルタとしての継続時間フィルタ210を、所望の目標応答への等化を実行する等化フィルタとしての離散時間フィルタ230と組合せて用いる。量子化器220は、継続時間フィルタ210の出力を離散時間信号に変換するために用いられる。ヘッド/媒体/プレアンプ102からの読み出し信号は、入力ノイズの帯域制限のために継続時間フィルタ210に入力される。サンプリングされたアナログ信号処理が用いられる場合には、量子化器220は、サンプルアンドホールド回路である。デジタル信号処理技術の場合には、量子化器220は、アナログデジタル変換器である。線形離散時間フィルタ230は、PR受信機における重要な処理ステップである実際の等化機能を実行する。線形離散時間フィルタ230は、有限インパルス応答(FIR)フィルタ、タップ付遅延線、トランスバーサルフィルタを含む様々な手段によって実現可能である。磁気ディスクドライブのためのPRML読み出しチャネルが、等化用のFIRフィルタを用いることが増えてきている。FIRフィルタは、読み出し信号104について予め定められた数の連続したサンプル値をとり、各サンプル値を規定量だけスケーリングし、スケーリング値を合計してフィルタ出力を生成する。スケーリング係数は、タップ重みまたはフィルタ係数と呼ばれる。

[0014] FIR構造によれば、フィルタ係数を変化させることにより、フィルタ応答を、容易に変化させることができる。実際のところ、係数は、適切なアルゴリズムを用いてほとんど実時間で、或いは実時間で変化させることができる。この特徴により、FIR構造は、磁

$$H(s) = \frac{\prod (s - z_i)}{\prod (s - p_i)}$$

ここで、 s は複素数ラプラス変数($= j\omega$)であり、 z_i 及び p_i は、それぞれ伝達関数のゼロと極である。ゼロの数は通常2から4であり、通常6から8である極の数より少ない。

[0021] ERフィルタ設計の問題点には、EPR4目標出力を達成するために極とゼロを決定することが含

気ディスクドライブシステムの場合のようなマルチレート信号処理及び「時間変動」チャネルを含む用途に良く適したものとなる。

[0015] PRML読み出しチャネルの複雑性は、等化器106の実現形態に大きく依存している。FIR構造を用いた場合、PRML読み出しチャネルの複雑性は、必要とされるタップ重みの数に依存し、タップ重みの数は、ヘッド/媒体のある組合せに対する動作線形密度及び継続時間フィルタ210の伝達関数に依存する。

[0016] 一般に、継続時間フィルタ210には、低域フィルタが選択され、線形離散時間フィルタ230は、サンプルアナログFIRフィルタである。したがって、すべての等化は、10個までのタップ重みを用いてサンプルアナログFIRフィルタ内で実行される。タップ重みの数を減少するには、等化機能を、継続時間フィルタ及びFIRフィルタに分割すればよい。

[0017] FIRフィルタの使用によって、多くの問題が生じる。例えば、デジタルFIRは、集積回路上の広い領域を必要とし、可能な集積度を減少させる。さらに、デジタルFIRフィルタは、高出力で使用されるため、携帯コンピュータなどの電源が制限された装置には不向きである。更に、必要な分解能を得るためにには、多数のタップ重みが必要である。タップ重みのすべてを最適化することは、非常に複雑であり、時間がかかる。したがって、FIRフィルタはリアルタイムで適応的に使用するには不向きとなる。

[0018] 従来の継続時間フィルタ及び従来の線形離散時間フィルタは、等化受信(ER)フィルタに置き換えることが可能である。これは、従来の継続時間フィルタ及び従来の線形離散時間フィルタの機能を実行する、単一の継続時間フィルタである。ERフィルタを用いることにより、読み出し信号を等化するために従来の構造において用いられていたFIRフィルタを省くことができ、これにより、EPR4信号を生成する方法及びシステムは簡略化される。

[0019] ERフィルタは、最も一般的には伝達関数 $H(s)$ によって特徴づけられる。

[0020]

[数1]

(1)

まれている。これは、誤差値を最小化する適切な最適化技術を選択することにより解決できる。例えば、 $H(j\omega)$ と次式で与えられる所望の伝達関数 $D(j\omega)$ との間の平均二乗誤差を最小にすることができる。

[0022]

[数2]

$$D(j\omega) = \frac{T(j\omega)}{C(j\omega)}$$

(2)

ここで、 $T(j\omega)$ は、目標 EPR 4 パルス応答スペクトルであり、 $2 \sin(\omega T) \cos(\omega T/2)$ によって与えられる。 $C(j\omega)$ は、ER フィルタの入力におけるチャネル（ヘッド／媒体／プレアンプ／VGA）の総合のパルス応答スペクトルである。関数 $C(j\omega)$ は、適切なチャネル識別方法を用いて決定してもよい。

【0023】ディスクドライブ用途においては、一般に、関数 $C(j\omega)$ は利用できない。また、製造中に $C(j\omega)$ を明確に決定することも実現不可能である。

しかしながら、単一の継続時間フィルタを用いて EPR 4 信号を生成する簡単な手段は、ほとんど実時間で伝達関数の極及びゼロを決定するための修正された手順とともに用いられる。

【0024】図3は、式(1)において与えられる伝達関数 $H(s)$ を有する ER フィルタ 310 を最適化することができるシステムを示している。既知の信号 $a(k$

$$d(kT) = a[kT] + a[(k-1)T]$$

$$- a[(k-2)T] - a[(k-3)T]$$

(3)

既知の信号 $a(kT)$ は、ER フィルタ 310 の入力端子 305 上に、既知の未等化信号として、記憶装置から読み出される。未等化信号は、ER フィルタ 310 によって等化され、ER フィルタ 310 の出力端子 315 上に等化信号が output される。等化された信号は、アナログデジタル変換器 320 の入力端子 321 上に入力される。等化された信号は、アナログデジタル変換器 320 によってサンプリングされ、デジタル化され、アナログデジタル変換器 320 の出力端子 325 上に離散時間デジタル等化信号が出力される。離散時間デジタル等化信号は、デジタル等化信号 $y(kT)$ とも呼ばれ、既知の信号 $a(kT)$ と既知の信号 $d(kT)$ に等しいサンプル間インターバル T を有している。加算器 330 は、加算器 330 の正の入力端子 332 上のデジタル等化信号 $y(kT)$ から加算器 330 の負の入力端子 331 上の既知の信号 $d(kT)$ を減算して、加算器 330 の出力端子 333 に誤差信号 $e(kT)$ を出力する。

【0027】誤差信号 $e(kT)$ は、デジタル等化信号 $y(kT)$ の平均二乗誤差を計算するために最適化器 340 によって用いられる。そして、最適化器 340 は、標準勾配法 (standard gradient method) を用いて、平均二乗誤差に基づいて、ER フィルタ 310 の極とゼロの位置を最適化する。あるいは、最適化器 340 は、式(1)の分子及び分母の多項式の係数を最適化することもできる。極及びゼロ（あるいは係数）の初期推定値が、最適化器 340 の入力端子 342 に与えられ、ER フィルタ 310 の最適化を初期化する。極およびゼロの初期推定値は、媒体特性、ヘッ

ド）は、例えばディスクドライブなどの記憶装置に書き込まれる。既知の信号 $a(kT)$ は、サンプル間にインターバル T を有する離散時間信号である。既知の信号 $a(kT)$ は、多様なサンプルを提供するように、非周期的で比較的ランダムなものでなければならない。疑似ランダム信号は、シフトレジスタ及び

【0025】

【外1】

$$x^7 \oplus x^4 \oplus 1$$

のような生成多項式を用いて生成することができる。既知の信号 $a(kT)$ は、適切な 4 級 PR 伝達関数によって既知の信号 $d(kT)$ に変換される。例えば、EPR 4 において $d(kT)$ は下記数 3 によって与えられる。

【0026】

【数 3】

ド特性、データレートなどの要因に依存する。非適応化システムにおいて極及びゼロの位置を設定するために用いられる従来の方法を、適応システムの初期推定値について使用することが可能である。

【0028】最適化器 340 は、新たな極及びゼロ（あるいは係数）を計算し、新たな推定値を最適化器 340 の出力端子 345 からデジタルアナログ変換器 (DAC)

30 バンク 350 に送る。DAC バンク 350 は、新たな極及びゼロ（あるいは係数）をアナログ信号に変換して、ER フィルタ 350 の極およびゼロを移動させる。加算器 330、最適化器 340、DAC バンク 350 は、ハードウェアやファームウェア、マイクロコントローラやマイクロプロセッサとソフトウェア、あるいはこれらの組合せによって、完全に実現することができる。

【0029】最適化手順をどのように実現するかにかかわらず、ER フィルタパラメータ、即ち極及びゼロは、上述の手法を用いて、あるチャネル（ヘッド／媒体の組合せ）やデータレートに対してカスタマイズすることができる。したがって、図3に示したシステムは、定密度記録の磁気ディスクドライブなどのマルチレートの用途に用いることができる。

【0030】

【発明が解決しようとする課題】式(1)による典型的な ER フィルタの設計には、2つの大きな欠点がある。第1の欠点は、可変パラメータの数が多くなりすぎてしまうことである。ER フィルタにおいて、各データゾーン及びヘッド／媒体の各組合せに対して、8～12 個のパラメータ（2～4 個のゼロ + 6～8 個の極）が必要

である。1ディスク2ヘッドで16データゾーンの最も簡単なディスクドライブ構成であっても、このような多数のパラメータの決定及び保存には時間がかかり、コストが高くなってしまう。したがって、従来のシステムは、ディスクドライブの実際の動作中における、ディスクドライブの状態変化に適合させるには適していない。

【0031】さらに、フィルタパラメータを決定するために使用される最適化手順は、一般に、通常は平均二乗誤差(MSE)として選択される、コスト関数に対するグローバル最小値を示さない。したがって、極/ゼロの初期値は、パラメータ最適化の間に局所最小値に固定されないように慎重に選択しなければならない。

【0032】さらに、ERフィルタには、環境変化、特に、正の供給電圧V_oと温度の変化に依存しないことが要求される。残念ながら、集積回路の実現に通常用いられるデバイスは、電圧及び温度依存性を有している。したがって、単純に集積化されたフィルタは、電圧及び温度に依存した応答を有している。この問題を克服するために、2つの主な補償策が用いられる。1つは、マスタースレーブ方式の使用であり、要求されるフィルタを別個のマスターフィルタに従属させ、このマスターフィルタを一定入力のチューニングループにより制御する。マスタースレーブチューニングの欠点には、マスターフィルタのための特別の回路及び電源、既知入力信号の発生、マスターフィルタとスレーブフィルタの特性の温度依存性不整合が含まれる。

【0033】しばしば用いられるもうひとつの補償策は、電圧及び温度の関数としてのフィルタ応答についての知識を必要とする。フィルタチューニング変数は、温度及び電圧の逆関数として歪められる。そこで、総合的フィルタ特性は、電圧及び温度にはかなり依存しなくなる。この方法の課題は、チューニング変数の適切な歪みを簡単に達成することである。

【0034】そこで、正確で、容易に最適化でき、記憶装置の実際の動作中に、自己適応化できる、読み出しチャネル装置の読み出し信号を処理するシステム及び方法が求められている。さらに、システムは、温度及び電圧供給レベルにおける変動を補償できなければならない。

【0035】本発明の課題は、記憶装置の読み出しシステムに含まれるERフィルタを、正確で容易に最適化でき、かつ記憶装置の実際の動作中に、自己適応化できるERフィルタ最適化方法を提供することにある。

【0036】本発明のもう一つの課題は、記憶装置の読み出しシステムに含まれるERフィルタを、正確で容易に最適化でき、かつ記憶装置の実際の動作中に、自己適応化できるERフィルタ最適化装置を提供することにある。

【0037】本発明の別の課題は、記憶装置の読み出しシステムの温度及び電圧供給レベルにおける変動を補償できる温度/電圧補償回路を提供することにある。

【0038】

【課題を解決するための手段】本発明の第1の態様によれば、記憶装置の読み出しシステムに含まれる、極(pole)パラメータ及びゼロを有するER(等化受信:equalization and receive)フィルタを最適化するための方法において、前記記憶装置からサンプル値を読み出すステップと、理想値を決定するステップと、前記サンプル値と前記理想値との間の誤差値を計算するステップと、前記極パラメータを前記誤差値が最小になるように変更するステップとを含むことを特徴とするERフィルタ最適化方法が得られる。

【0039】本発明の第2の態様によれば、前記第1の態様によるERフィルタ最適化方法において、前記ERフィルタの前記ゼロを前記誤差値が最小になるように変更するステップをさらに含むことを特徴とするERフィルタ最適化方法が得られる。

【0040】本発明の第3の態様によれば、前記第1の態様によるERフィルタ最適化方法において、前記サンプル値は、ユーザ専用(customer)データであることを特徴とするERフィルタ最適化方法が得られる。

【0041】本発明の第4の態様によれば、前記第1の態様によるERフィルタ最適化方法において、前記極パラメータは、前記ERフィルタのカットオフ周波数パラメータであることを特徴とするERフィルタ最適化方法が得られる。

【0042】本発明の第5の態様によれば、記憶装置の読み出しシステムに含まれる、極(pole)パラメータ及びゼロを有するER(等化受信:equalization and receive)フィルタを最適化するための装置において、前記記憶装置からサンプル値を読み出す手段と、理想値を決定する手段と、前記サンプル値と前記理想値との間の誤差値を計算する手段と、前記極パラメータを前記誤差値が最小になるように変更する手段とを含むことを特徴とするERフィルタ最適化装置が得られる。

【0043】本発明の第6の態様によれば、前記第5の態様によるERフィルタ最適化装置において、前記ERフィルタの前記ゼロを前記誤差値が最小になるように変更する手段をさらに含むことを特徴とする請求項5に記載のERフィルタ最適化装置が得られる。

【0044】本発明の第7の態様によれば、前記第5の態様によるERフィルタ最適化装置において、前記サンプル値は、ユーザ専用(customer)データであることを特徴とするERフィルタ最適化装置が得られる。

【0045】本発明の第8の態様によれば、前記第5の態様によるERフィルタ最適化装置において、前記極パラメータは、前記ERフィルタのカットオフ周波数パラメータであることを特徴とするERフィルタ最適化装置が得られる。

【0046】本発明の第9の態様によれば、記憶装置の読み出しシステムに含まれる、カットオフ周波数及び複数

個のゼロを有するER(等化受信: equalization and receive) フィルタを最適化するための方法において、前記カットオフ周波数に対するカットオフ値及び前記複数個のゼロに対する複数個のフィルタゼロ値を決定するステップと、前記記憶装置から複数個M個のサンプル値として読み出すステップと、前記M個のサンプル値の各々に関する理想値を決定し、M個の理想値を出力するステップと、前記サンプル値と前記理想値との間の平均二乗誤差値を計算するステップと、前記カットオフ値と前記フィルタゼロ値の各々とを変更し、前記平均二乗誤差値を最小化するステップと、前記カットオフ値をチューニング(tuning)電流に変換するステップと、前記フィルタゼロ値の各々をフィルタゼロ電圧に変換するステップと、前記チューニング電流をバイアス電圧に変換するステップと、前記バイアス電圧及び前記フィルタゼロ値の各々を前記ERフィルタに与え、前記ERフィルタの前記カットオフ周波数及び前記複数個のゼロを調節するステップとを含むことを特徴とするERフィルタ最適化方法。

【0047】本発明の第10の態様によれば、チューニング(tuning)電流入力端子と、電圧入力端子と、電圧出力端子とを有する温度/電圧補償回路において、前記チューニング電流入力端子に接続される第1の電流端子と、接地された第1の電源端子と、第2の電流端子とを有する第1のカレントミラーと、前記第1のカレントミラーの前記第2の電流端子に接続された第3の電流端子と、正の供給電圧を印加される第2の電源端子と、第4の電流端子とを有する第2のカレントミラーと、前記電圧入力端子と前記第2のカレントミラーの前記第4の電流端子とに接続された第1の電源端子と、前記チューニング電流入力端子と前記電圧出力端子とに接続された制御端子と、接地された第2の電源端子とを有する整合(matching)トランジスタとを備えたことを特徴とする温度/電圧補償回路が得られる。

【0048】本発明の第11の態様によれば、前記第1の態様による温度/電圧補償回路において、前記電圧入力端子に接続された第2の制御端子と、前記第2のカレントミラーの前記第4の電流端子に接続された第3の電源端子と、前記整合トランジスタの前記第1の電源端子に接続された第4の電源端子とを有する第2のトランジスタをさらに備え、前記整合トランジスタの前記第1の電源端子は、前記電圧入力端子と前記第2のカレントミラーの前記第4の電流端子とに、前記第2のトランジスタを介して接続されていることを特徴とする温度/電圧補償回路が得られる。

【0049】本発明の第12の態様によれば、前記第10の態様による温度/電圧補償回路において、前記整合トランジスタは、MOSFETであることを特徴とする温度/電圧補償回路が得られる。

【0050】本発明の第13の態様によれば、前記第1

の態様による温度/電圧補償回路において、前記第2のトランジスタは、バイポーラトランジスタであることを特徴とする温度/電圧補償回路が得られる。

【0051】このように本発明によれば、記憶装置の読み出しシステムのERフィルタが最適化される。通常、記憶装置は、磁気ディスクドライブであるが、この読み出しシステムは、その他の記憶装置にも適応することができる。ERフィルタは、入力信号を等化して、理想的には目標信号の特性に整合する等化信号を出力する。したがって、ERフィルタの最適化は、目標信号の特性と等化信号の特性との間の誤差値を減少させる。ERフィルタの最適化は、記憶装置からサンプル値を読み出し、サンプル値と理想値との間の誤差値を計算することにより達成される。1態様においては、カットオフ周波数などの極パラメータを、誤差値が最小となるように変更する。他の態様においても、誤差値を最小とするように、ERフィルタのゼロの変更する。さらに、最適化を、いくつかのサンプルに亘って行ない、これらサンプルの平均二乗誤差を誤差値として用いることもできる。

【0052】別の態様においては、極パラメータは、チューニング電流に変換され、これはバイアス電圧に調整される。このバイアス電圧は、ERフィルタのテールトランジスタに与えられ、ERフィルタの極位置を変更する。

【0053】ERフィルタを形成するために用いられる構成要素の特性は、一般に、温度及び供給電圧によって変化する。温度依存性は、ERフィルタの最適化を妨げる。したがって、読み出しシステムのいくつかの態様においては、温度/電圧補償回路を用いて、ERフィルタにおける温度及び供給電圧依存性を補償するバイアス電圧を発生させる。

【0054】温度/電圧補償回路の1例は、チューニング電流及び入力電圧を受けて、バイアス電圧を出力する。この回路は、2つのカレントミラーを有し、チューニング電流が第1のカレントミラーの第1の電流端子に入力される。第1のカレントミラーの第2の電流端子は、第2のカレントミラーの第3の電流端子に接続されている。第2のカレントミラーの第4の電流端子は、入力電圧によってバイアスされる整合トランジスタの第1の電源端子に接続されている。整合トランジスタの制御端子は、第1のカレントミラーの第1の端子に接続されている。整合トランジスタの制御端子からバイアス電圧がとり出される。

【0055】機能的には、整合トランジスタは、ERフィルタ内の目標トランジスタのバイアス状態に整合するようにバイアスされる。カレントミラーは、整合トランジスタを通過するチューニング電流を強制する。そして、整合トランジスタの制御端子の電圧は、目標トランジスタのチューニング電流に等しい電流を駆動するためには必要な電圧にされる。したがって、整合トランジスタ

の制御端子における電圧は、バイアス電圧出力として用いられる。

【0056】

【発明の実施の形態】本発明の原理によれば、従来の読出し信号処理によって課せられる制限を克服することができる。ERフィルタは、パラメータの最小限のセットを用いて最適化され、したがって、記憶装置の実際の動作中に、パラメータの最適値をリアルタイムで決定することができる。パラメータは、局所化した最適化点が存在しないように選択される。したがって、この最適化方

法は、ERフィルタのパラメータについてグローバルな最適化点を決定することができる。さらに、ERフィルタの温度及び電圧補償は、ERフィルタ用の新たな補償回路を用いて行われる。

【0057】部分応答信号を生成するために用いられるERフィルタは、単一の継続時間フィルタである。ERフィルタのフィルタ伝達関数は、例えば下記の数4であらわすことができる。

【0058】

【数4】

$$H(s) = \frac{s^2 + (Z_a - Z_b)s - Z_a Z_b}{\prod_{n=1}^N (s - p_n)} \quad (4)$$

ここで、 Z_a 及び Z_b は非負の値であり、 p_n は、低域フィルタ伝達関数の極である。 $H(s)$ は、N次低域フィルタと2次オールゼロフィルタの継続と見ることができる。Nの値を、規定されたストップバンド減衰特性を達成するように選択してもよい。

【0059】単位直流利得を仮定すると、N次低域フィルタは、一般に、N個のパラメータによって特徴づけられる。設計上の複雑性を減少させるために、低域フィルタは、バターワース、チェビシェフ、エリプティックを含む種々の入手可能なフィルタから選択すればよい。このようなフィルタは、通常、フィルタの次数とは関係なく、1つあるいは2つのパラメータによって特徴づけられる。例えば、N次バターワースフィルタは、2つのパラメータ、即ち、カットオフ周波数 ω_c と通過帯域ロールオフにより特徴づけられる。ロールオフ値を規定する

$$P(s) = 1 / \left[\left(\frac{s}{\omega_c} \right)^7 + d_6 \left(\frac{s}{\omega_c} \right)^6 + d_5 \left(\frac{s}{\omega_c} \right)^5 + d_4 \left(\frac{s}{\omega_c} \right)^4 \right. \\ \left. + d_3 \left(\frac{s}{\omega_c} \right)^3 + d_2 \left(\frac{s}{\omega_c} \right)^2 + d_1 \left(\frac{s}{\omega_c} \right) + d_0 \right] \quad (5)$$

ここで、 d_i は既知の定数である。式(5)の伝達関数は、ただ1つの極パラメータ ω_c 、即ちカットオフ周波数の決定を必要とする。式(4)及び $P(s)$ に基き、ERフィルタの設計及び最適化における問題は、3つのパラメータ Z_a 、 Z_b 、 Z_s の最適化になる。これらのパラメータは、以下に述べる最適化手順を用いて決定することができる。

【0062】 Z_a 、 Z_b 、 Z_s の最適化

ERフィルタパラメータの最適化は、2つのモードで実行される。既知のデータ信号を用いる初期設定モードは、例えば、記憶装置の製造中、または製造後に所定の間隔において、または電源投入時、または電源投入後の所定の間隔で実行される。未知のユーザデータを用いるトランシングモードは、記憶装置の通常の動作中にリアルタイムで実行される。

ことにより、フィルタ応答を特定するには、カットオフ周波数を決定するだけでよい。このようにして、全体的な設計上の問題は、非常に簡素化される。

【0060】この原理を用いることにより、EPR4部分応答を発生させるためのERフィルタの実現をより容易に最適化することができる。磁気記憶の用途については、ヘッド／媒体位相応答は、ほぼ線形である。EPR4チャネルの総合線形位相応答要件を満たすために、相対的線形位相応答をもつ低域フィルタ構造もまた用いられる。特に、本発明の1態様においては、ERフィルタは、下記数5によって与えられる伝達関数 $P(s)$ を有する7次0.5dB等リップルフィルタである。

【0061】

【数5】

【0063】図4は、本発明の1実施例を用いたEPRML読出しシステムのブロック図である。EPRML読出しシステムは、磁気ディスクドライブシステムに理想的には [ideally] 適している。読出しヘッド403は、媒体404のデータを読み出し、アナログ読出し信号を供給する。アナログ読出し信号は、可変利得増幅器(VGA)405の入力端子に受けとられる。可変利得増幅器405の出力端子406上のVGA出力信号は、等化／受信(ER)フィルタブロック410に送られる。ERフィルタブロック410は、出力端子412上に等化信号を生成する。サンプルアンドホールド回路(S/H)415は、サンプルアンドホールド回路415の入力端子414上の等化信号をサンプリングして、フラッシュコンバータ420に対して、安定信号をサンプルアンドホールド回路415の出力端子416上に

供給する。フラッシュコンパレータ420の出力は、アナログデジタル復号器(ADC)425によって復号され、アナログデジタル復号器425の出力端子426上に離散時間デジタル等化信号を出力する。離散時間デジタル等化信号は、また、 $y(kT)$ としても表される。ここで、 T はサンプリング間隔であり、 k は整数である。デジタル等化信号 $y(kT)$ は、フィルタ最適化ブロック433の出力端子434上にERフィルタブロック410に対するフィルタ最適化パラメータを与えるために、フィルタ最適化ブロック433によって使用される。1実施例においては、最適化パラメータは、 ω_c 、 Z_a 、 Z_b である。ビタビ検出器495は、デジタル等化信号をユーザデータに変換するために必要な最尤度検出を実行する。

【0064】アナログ利得獲得ブロック430、利得ループフィルタ490、デジタル利得獲得回路450、デジタル利得トラッキング回路455、デジタルアナログ変換器465、デジタルアナログ変換器470は、自動利得制御ループを形成し、可変利得増幅器405を適応的に制御して出力端子406上のVGA出力信号の振幅を所定のレベルに調節する。自動利得ループの操作を容易にするための方法、回路、技術は、Shin-Ming Shih、James W. Rae、Richard A. Contrera、Jenn-Gang Chernらによる米国特許出願第08/693587号「サンプルデータ受信機におけるアナログデジタル組合せ自動利得制御の方法及び構造」(代理人整理番号M-3712)において述べられており、これは参照として本明細書中に組み入れる。

【0065】デジタルアナログ変換器440、デジタルタイミングトラッキング回路445、デジタルアナログ変換器460、ループフィルタ475、ゼロ相再起動回路480、電圧制御発振器435は、位相同期回路を形成し、サンプルアンドホールド回路415を適応的に制御して、ERフィルタブロック410の出力を、データを記憶装置に入れるために用いた書き込みクロックに同期したクロックを用いてサンプリングする。位相同期回路の動作を容易にするための方法、回路、技術は、Shin-Ming Shih、Tzu-wang Pan、Jenn-Gang Chernらによる米国特許出願第08/695327号「複雑度及び待ち時間を減少さ

$$\epsilon = (1/M) \sum_{k=1}^M [y(kT) - d(kT)]^2$$

ここで、 $y(kT)$ は、アナログデジタル変換器425からの等化サンプル信号であり、 $d(kT)$ は、記憶装置上の既知データ信号 $a(kT)$ の既知理想EPR4応答であり、Mは、平均化処理に用いられるサンプリング点の数である。等化サンプル信号 $y(kT)$ は、ERフィルタブロック410の出力端子412上の等化信号から生成されるため、等化サンプル信号 $y(kT)$ は、最

せたサンプルデータタイミング復旧のための方法及び構造」(代理人整理番号M-3711)において述べられており、これは参照として本明細書中に組み入れる。

【0066】本発明の1実施例においては、図4の種々のブロックは、フィルタ最適化ブロック433を除いて、ひとつの集積回路上に実現される。この実施例においては、フィルタ最適化ブロック433は、ハードウェア、ファームウェア、マイクロコントローラやマイクロプロセッサーを用いたソフトウェア、或いはそれらの組合せにおいて実現可能である。

【0067】初期化モードは、既知データ信号 $a(kT)$ を記憶装置上に書込むことにより開始する。既知データ信号 $a(kT)$ は、擬似ランダムシーケンスでなければならない。1実施例においては、データ信号 $a(kT)$ は、生成多項式

【0068】

【外2】

$$x^7 \oplus x^4 \oplus 1$$

を用いて生成される。ERフィルタパラメータ ω_c 、 Z_a 、 Z_b の初期値は、フィルタ入力信号の従来のオフライン特徴づけによって、最適設定にかなり近似するよう選択することができる。記憶装置からの読み出し信号は、図4に示すようなEPRML読み出しシステムによって得られる。本発明のいくつかの実施例においては、既知データ信号 $a(kT)$ は、記憶媒体上の専用トラックに記憶される。他の実施例においては、一組のトラックのうちの一部は、初期化モード用に確保されている。

【0069】図5は、初期化モード中に、パラメータ ω_c 、 Z_a 、 Z_b を用いてERフィルタを最適化するフィルタ最適化ブロック433の一部を示すブロック図である。ERフィルタ最適化の問題は、様々な方法によって解決することができる。図5の実施例においては、適応デジタル信号処理に通常使用される最小平均二乗誤差(MMSE)基準が、誤差値として用いられる。他の実施例においては、誤差値として、誤差の絶対値の平均値を用いている。

【0070】平均二乗誤差(MSE)は下記数6により定義される。

【0071】

【数6】

適化パラメータ Z_a 、 Z_b 、 ω_c に依存する。したがって、 Z_a 、 Z_b 、 ω_c の値を変化させると、平均二乗誤差の値も変化する。

【0072】図5において、既知データ信号 $a(kT)$ は、EPR4発生器510によって、EPR4信号 $d(kT)$ に変換される。EPR4発生器510は、上記の数式(3)を実行する。加算器520は、加算器52

0の入力端子522上の等化サンプル信号y (kT) から加算器520の入力端子521上の既知理想EPR4信号d (kT) を減算して、加算器520の出力端子523上に誤差信号e (kT) を生成する。二乗演算器560は、誤差信号e (kT) を二乗して合計演算器570に与える。合計演算器570は、二乗された誤差信号を得て、M個のデータサンプルについて、平均二乗誤差を計算する。パラメータスキャナ590は、入力端子592上に平均二乗誤差を受けとる。制御変数は、制御入力端子591からパラメータスキャナ590に与えられる。各種制御変数には、どのパラメータを変更するか、パラメータの範囲、パラメータの走査増分が含まれる。パラメータスキャナ590は、平均二乗誤差を最小にするために、パラメータの走査増分をパラメータに加算したり、減算したりすることによってパラメータの値を変更する。パラメータ ω_c の新規値は記憶素子530に、パラメータ Z_c の新規値は記憶素子540に、パラメータ Z_b の新規値は記憶素子550に、それぞれ書き込まれる。そして、新たな最適化パラメータは、ERフィルタ410に送られる。ハードウェアでの実現においては、記憶素子530、記憶素子540、記憶素子550は、例えば、ラッチやレジスタである。1態様においては、最適化パラメータは、8ビットにデジタル化される。

【0073】フィルタ最適化ブロック433の1態様においては、一度に1つのパラメータだけが最適化される。すなわち、 ω_c が、入力端子592上の平均二乗誤差を最小にするために最適化され、 Z_c 及び Z_b は初期推定値に維持されている。つぎに、 Z_c が、入力端子592上の平均二乗誤差を最小にするために最適化され、 ω_c 及び Z_b は一定値に維持されている。最後に、 Z_b が、入力端子592上の平均二乗誤差を最小にするために最適化され、 ω_c 及び Z_b は一定に維持される。最適化は、パラメータの値を、可能な範囲の下限値に設定し、つぎに、パラメータを可能な範囲内の上限までステップサイズずつ増加させることにより実行できる。各ステップにおいて、誤差値を計算する。最小誤差値を発生するパラメータの値が最適値として選択される。

【0074】フィルタ最適化ブロック433の別の態様においては、パラメータスキャナ590は、予め指定された何組かの最適化パラメータのみをテストするように簡素化される。例えば、記憶装置の設計者は、数組のパラメータを指定することができ、この場合、パラメータスキャナ590は、予め指定された各組のパラメータをテストし、予め指定されたパラメータのどの組が、平均二乗誤差の最小値を発生するのに最適であるか決定する。あらかじめ選択されたセットは、媒体の特性、ヘッドの特性、データレートなどのファクターに基づいた従来方法によって決定される。

【0075】図6は、 $Z_c = Z_b$ と仮定した場合の、Lorentzianチャネルモデルのについて、 Z_c 及

び ω_c の関数としての平均二乗誤差値の等高線図を示している。ここで、MSEは、 Z_c 及び ω_c の凸関数である。 Z_c 及び ω_c の最適値は、平均二乗誤差が最小となるポイントとして定義される。これらの値は、初期開始点を選択し、最小平均二乗誤差が達成されるまで Z_c 及び ω_c の値を精製することにより反復的に発見することができる。各パラメータに関する平均二乗誤差の勾配は、パラメータを増加すべきか、減少すべきかを規定する。勾配がゼロの場合には、パラメータを変化させない。これらの結果の値が、最小平均二乗誤差に対応する。 Z_c の最適値も、同様に決定される。

【0076】トラッキングモードとも呼ばれる記憶装置の実際の動作中、図4のEPRML読出しシステムは、構成要素のエージング、媒体における不均一性、機械的許容誤差などによる、読出し信号の緩慢な変化を補償しなければならない。したがって、トラッキングモード中の利用者データを用いて、記憶装置の実際の使用中の状態の変化にERフィルタを適応化させなければならない。

【0077】図7は、トラッキングモード中に、ERフィルタパラメータ ω_c 、 Z_c 、 Z_b を最適化するためのフィルタ最適化ブロック433の一部を示すブロック図である。ERフィルタ最適化の問題は、様々な誤差値の種類を最小に抑えることによって解決することができる。図7の態様においては、最小平均二乗誤差(MSE)基準が再び用いられる。しかしながら、トラッキングモードでは、既知データ信号a (kT) の代わりに利用者データを使用するため、信号d (kT) の計算を修正しなければならない。既知理想EPR4応答の代わりに、信号d (kT) が推定EPR4応答として生成される。

【0078】図7に示すように、等化サンプル信号y (kT) は、推定EPR4応答信号d (kT) を計算するために、EPR4推定器710によって用いられる。即ち、各データサンプルy (nT) は、最も近い理想EPR4信号値に丸められる。理想EPR4信号値は、-2、-1、0、1、2である。加算器720は、推定EPR4信号d (kT) を、等化サンプル信号y (kT) から減算して、誤差信号e (kT) を生成する。二乗演算器730は、誤差信号e (kT) を二乗して、合計演算器740に与える。合計演算器740は、二乗された誤差信号を得て、M個のデータサンプルについて平均二乗誤差を計算する。記憶素子750は、Mサンプリングインターバルについて平均二乗誤差を記憶するため、加算器760は、Mインターバルごとに平均二乗誤差の変化を計算して、パラメータ更新器770に与えることができる。

【0079】パラメータ更新器770は、現在の平均二乗誤差と前回のサンプリングインターバルの平均二乗誤差との差に基づいて、動作パラメータを計算する。即

ち、 ω_c [(n+1)] 、 Z_a [(n+1) T] 、 Z_b [(n+1) T] で示される計算されたパラメータは、
時間 (n+1) T における最適化パラメータをあらわし
 ω_c [(n+1) T] = ω_c [n T] - $\Delta \omega_c$ [(n+1) T] *

ており、下記数 7、数 8、数 9 によって導き出される。

【0080】

【数 7】

$$\frac{[\varepsilon_H(nT) - \varepsilon_H((n-1)T)]}{\Delta \omega_c(nT)}$$

(7)

【0081】

10 【数 8】

$$Z_a [(n+1) T] = Z_a [n T] - \Delta Z_a [(n+1) T] *$$

$$\frac{[\varepsilon_H(nT) - \varepsilon_H((n-1)T)]}{\Delta Z_a(nT)}$$

(8)

【0082】

【数 9】

$$Z_b [(n+1) T] = Z_b [n T] - \Delta Z_b [(n+1) T] *$$

$$\frac{[\varepsilon_H(nT) - \varepsilon_H((n-1)T)]}{\Delta Z_b(nT)}$$

(9)

ここで、 $\varepsilon_H(nT)$ は、時間 n T における平均二乗誤差であり、 $\Delta \omega_c(nT)$ は、時間 n T における ω_c に対するステップサイズ更新関数の値であり、 $\Delta Z_a(nT)$ は、時間 n T における Z_a に対するステップサイズ更新関数の値であり、 $\Delta Z_b(nT)$ は、時間 n T における Z_b に対するステップサイズ更新関数の値である。

ステップサイズ更新関数は、収束の速度を制御する。 1 30 【数 10】

態様においては、ステップサイズ更新関数は、単純に一

$$\omega_c [(n+1) T] = \omega_c [n T] - [\Delta \omega_c [(n+1) T] * \text{sign} [\varepsilon_H(nT) - \varepsilon_H((n-1)T)] * \text{sign} (\Delta \omega_c(nT))]$$

(10)

【0085】

【数 11】

$$Z_a [(n+1) T] = Z_a [n T] - [\Delta Z_a [(n+1) T] * \text{sign} [\varepsilon_H(nT) - \varepsilon_H((n-1)T)] * \text{sign} (\Delta Z_a(nT))]$$

(11)

【0086】

【数 12】

$$Z_b [(n+1) T] = Z_b [n T] - [\Delta Z_b [(n+1) T] * \text{sign} [\varepsilon_H(nT) - \varepsilon_H((n-1)T)] * \text{sign} (\Delta Z_b(nT))]$$

(12)

ここで、 $\text{sign}(x)$ は、以下のように定義される。

【0087】 $x > 0$ ならば、 $\text{sign}(x) = 1$ $x = 0$ ならば、 $\text{sign}(x) = 0$ $x < 0$ ならば、 $\text{sign}(x) = -1$

トラッキングモードの間、ER フィルタをリアルタイム

で適応化しなければならないため、最適化パラメータは、通常、平列に計算される。パラメータ ω_c の新たな値は記憶素子 530 に、パラメータ Z_a の新たな値は記憶素子 540 に、パラメータ Z_b の新たな値は記憶素子 550 に、それぞれ書き込まれる。そして、新たな最適化

50

550

パラメータは、ERフィルタブロック410に送られる。

【0088】一旦最適パラメータセットが決定されると、パラメータに対するERフィルタ最適化手順により、プロセスの変化及び回路の不完全性による非理想的な効果を補償することができるものの、ERフィルタは、規定された範囲を越えた電源及び温度変化についてもやはりを補償しなければならない。

【0089】図8は、ERフィルタブロック410の詳細なブロック図である。ERフィルタ自身は、GmCフィルタ810、GmCフィルタ820、GmCフィルタ830、GmCフィルタ840によって形成されている。各GmCフィルタは、複数個の従来設計のGmブロックと従来設計のキャパシタを有している。ERフィルタの極は、2つのGmブロックと1つのキャパシタを必要とし、ERフィルタのゼロは、1つのGmブロックと1つのキャパシタを必要とする。しかしながら、いくつかの態様においては、ゼロと極とでキャパシタを共有することができる。図8の態様においては、ERフィルタは、7極2ゼロフィルタである。したがって、16個のGmCフィルタブロックが必要である。図8の態様は、また、ゼロに対して共用キャパシタを用いている。したがって、キャパシタは7個のみ必要である。各Gmブロックは、バイアス回路855から共通モード電圧V_{CM}を与えられる。さらに、ERフィルタの極に用いられるGmブロックは、温度／電圧補償回路870から ω 。で示されるERフィルタのカットオフ周波数を設定するためのバイアス電圧V_{b1..}を与えられる。ゼロ用のGmCフィルタブロックはそれぞれ、ゼロの位置を制御するためのバイアス電圧を与えられる。Gmブロックの1態様の詳細を図9を参照して説明する。

【0090】ERフィルタブロック410の入力端子406(図5及び図8)は、ブレアンプ805の入力端子801に接続されている。ブレアンプ805は、入力端子406上に与えられたVGA出力信号をさらに増幅し、ブレアンプ805の出力端子806および807に、差動出力電圧信号を与える。GmCフィルタ810は、出力端子806に接続された入力端子811及び出力端子807に接続された入力端子812を有している。GmCフィルタ810は、5個のGmブロック及び2個の従来設計のキャパシタを含んでいる。各Gmブロックは、バイアス回路855から共通モード電圧V_{CM}を与えられる。さらに、GmCフィルタ810の最初の4個のGmブロックは、温度／電圧補償回路870からバイアス電圧を受信する。GmCフィルタ810の最初の4個のGmブロックは、ERフィルタの2個の極を制御するために用いられる。ERフィルタのゼロを制御するために用いられるGmCフィルタ810の第5のGmブロックは、デジタルアナログ変換器890によって制御される。

【0091】GmCフィルタ820もまた、5個のGmブロックと従来設計の2個のキャパシタを含んでいる。GmCフィルタ820の入力端子821は、GmCフィルタ810の出力端子813に接続されている。GmCフィルタ820の入力端子822は、GmCフィルタ810の出力端子814に接続されている。GmCフィルタ820のGmブロックは、GmCフィルタ820の第5のGmブロックがデジタルアナログ変換器880によって制御されることを除いて、GmCフィルタ810と同様に構成されている。したがって、GmCフィルタ820の各Gmブロックは、バイアス回路855から共通モード電圧V_{CM}を与えられる。GmCフィルタ820の最初の4個のGmブロックは、ERフィルタの2個の極を制御するために温度／電圧補償回路870からバイアス電圧V_{b1..}を与えられる。フィルタ820の第5のGmブロックは、ERフィルタの第2のゼロを制御する。

【0092】ERフィルタの2個の極を制御するために用いられるGmCフィルタ830は、4個のGmブロックと2個の従来設計のキャパシタを含んでいる。GmCフィルタ830の入力端子831は、GmCフィルタ820の出力端子823に接続されている。GmCフィルタ830の入力端子832は、GmCフィルタ820の出力端子824に接続されている。GmCフィルタ830の各Gmブロックは、バイアス回路855から共通モード電圧V_{CM}を与えられる。GmCフィルタ830のGmブロックは、また、ERフィルタの2個の極を制御するために、温度／電圧補償回路870からバイアス電圧を与えられる。

【0093】ERフィルタの1個の極を制御するために用いられるGmCフィルタ840は、2個のGmブロックと1個の従来設計のキャパシタを含んでいる。GmCフィルタ840の入力端子841は、GmCフィルタ830の出力端子833に接続されている。GmCフィルタ840の入力端子842は、GmCフィルタ830の出力端子834に接続されている。GmCフィルタ840の各Gmブロックは、バイアス回路855から共通モード電圧V_{CM}を与えられる。GmCフィルタ840のGmブロックは、また、ERフィルタの1個の極を制御するために、温度／電圧補償回路870からバイアス電圧V_{b1..}を与えられる。

【0094】従来設計の出力増幅器850は、GmCフィルタ840の出力端子843に接続された入力端子851とGmCフィルタ840の出力端子844に接続されている入力端子852とを含んでいる。出力増幅器850の出力端子853は、ERフィルタブロック410の出力端子412に接続されている。等化信号は、出力増幅器850によって、出力端子853上に与えられる。

【0095】バイアス回路855は、出力端子856上

に共通モード電圧VCMを与える。共通モード電圧VCMは、各Gmブロックに接続され、それにより、各Gmブロックが同一の参照電圧を有することになる。共通モード電圧VCMは、また、温度／電圧補償回路870によって使用される。共通モード電圧は、通常、電源電圧レベルに関連づけられている。したがって、共通モード電圧VCMは、電源電圧とともに変化する。例えば、1態様においては、共通モード電圧VCMは、正の電源電圧から1ボルトマイナスした値に設定することがある。バイアス回路855は、温度変化を補償しないため、共通モード電圧VCMも、温度によって変化する。

【0096】上述したように、ERフィルタは、3つのパラメータ ω_c 、 Z_a 、 Z_b を調節するだけで調整することができる。極は、カットオフ周波数パラメータ ω_c によってのみ制御される。一方、パラメータ Z_a 及びパラメータ Z_b は、それぞれERフィルタのゼロのうちの1つを制御する。パラメータ ω_c は、デジタルアナログ変換器860によって、入力端子861上で受信される。デジタルアナログ変換器860は、周知の従来技術を用いて温度や電源電圧の変化に感応しないように設計される。パラメータ ω_c は、デジタルアナログ変換器860の出力端子862上のアナログチューニング電流 I_{tun} に変換される。本発明のいくつかの態様においては、デジタルアナログ変換器を用いてパラメータ ω_c からいくつかのチューニング電流を発生させ、各チューニング電流への負荷を軽減させている。温度／電圧補償回路870は、温度／電圧補償回路870の入力端子871上のチューニング電流 I_{tun} 及び温度／電圧補償回路870の入力端子872上の共通モード電圧VCMを用いて、温度／電圧補償回路870の出力端子873上に、温度電源電圧補償バイアス電圧 $V_{b1..}$ を発生する。バイアス電圧 $V_{b1..}$ は、Gmブロック中のパラメータ ω_c の値に基づいてERフィルタの極を調節するために用いられる。ERフィルタのカットオフ周波数に対するバイアス電圧 $V_{b1..}$ の影響を以下に述べる。バイアス電圧 $V_{b1..}$ もまた、デジタルアナログ変換器890によって用いられるため、デジタルアナログ変換器890の入力端子891は、温度／電圧補償回路870の入力端子873に接続される。同様に、デジタルアナログ変換器880の入力端子881は、温度／電圧補償回路870の出力端子873に接続され、デジタルアナログ変換器880にバイアス電圧 $V_{b1..}$ を供給する。

【0097】デジタルアナログ変換器890は、デジタルアナログ変換器890の入力端子892上のゼロパラメータ Z_a を、デジタルアナログ変換器890の出力端子893上の第1のフィルタゼロバイアス電圧に変換する。第1のフィルタゼロバイアス電圧は、ERフィルタ内のゼロのうちの1つを調整する。同様に、デジタルアナログ変換器880は、デジタルアナログ変換器880

の入力端子882上のゼロパラメータ Z_b を、デジタルアナログ変換器880の出力端子883上の第2のフィルタゼロバイアス電圧に変換する。第2のフィルタゼロバイアス電圧は、ERフィルタ内の他のゼロを調整する。デジタルアナログ変換器860と同様に、デジタルアナログ変換器880及びデジタルアナログ変換器890は、従来技術を用いて、温度及び電源電圧の変化に感応しないように設計される。

【0098】図9は、本発明の1態様によるGmCフィルタ810の一部を示している。すなわち、図9は、GmCフィルタ810の第1のGmブロック810-1と、1極キャパシタ910と、GmCフィルタ810の第2のGmブロック810-2とを示している。第1のGmブロック810-1の機能性は、第2のGmブロック810-2と同一であるため、第1のGmブロック810-1についてのみ詳細に述べる。各Gmブロックは、従来設計の差動相互コンダクタンス増幅器である。

【0099】第1のGmブロック810-1は、ヘッド部920とテール部930に分割されている。ヘッド部は、正の電源電圧 V_+ とトランジスタ960の第1の電源端子961との間に接続された電流供給源930を含んでいる。電流供給源930は、電圧バイアス回路950によって制御される。トランジスタ960の制御端子962は、第1の入力電圧端子921に接続されている。トランジスタ960の第2の電源端子963は、トランジスタ970の第2の電源端子973と、テール部930内のテールトランジスタ980の第1の電源端子981に接続されている。トランジスタ970の制御端子972は、第2の電圧入力端子922に接続されている。トランジスタ970の第1の電源端子971は、電流供給源940を介して正の電源電圧 V_+ に接続されている。電流供給源940は、電圧バイアス回路950によって制御される。トランジスタ960の第1の電源端子961の電圧レベルは、電流供給源930を流れる電流を調節することにより、電圧バイアス回路950によって制御される。同様に、電圧バイアス回路950は、電流供給源940を流れる電流を調節することにより、トランジスタ970の第1の電源端子971上の電圧レベルも制御する。やはり従来設計の電圧バイアス回路950は、電圧バイアス回路950の入力端子951上の共通モード電圧VCMによって制御される。テールトランジスタ980の制御端子982は温度／電圧補償回路870のバイアス電圧 $V_{b1..}$ 、出力端子873(図8)に接続されている。テールトランジスタ980の第2の電源端子983は、接地されている。Gmブロックの出力は、トランジスタ960の第1の電源端子961に接続されている第1の電流出力端子923と、トランジスタ970の第1の電源端子971に接続されている第2の電流出力端子924に提供される。

【0100】図9の態様においては、トランジスタ96

0は、バイポーラトランジスタである。したがって、第1の電源端子961は、コレクタ端子であり、第2の電源端子963は、エミッタ端子であり、制御端子962は、ベース端子である。同様に、第1の電源端子971は、コレクタ端子であり、第2の電源端子973は、エミッタ端子であり、制御端子972は、ベース端子である。図9の態様においては、テールトランジスタ980は、MOSFETであり、したがって、第1の電源端子981は、ドレイン端子であり、第2の電源端子983は、供給源端子であり、制御端子982は、ゲート端子である。他の態様においては、トランジスタの種類を変更し得る。さらに、增幅器の他の例も用いることができる。適当な従来フィルタにおいて用いられる技術とフィルタの例は、H. Tanimoto, M. Koyama, Y. Yoshidaによる「複数個のエミッタ接続対を用いた線形化技術を用いる1V活性フィルタの実現」(IEEE J. Solid-State Circuits, Vol. SC-26, No. 7, 937~945頁、1991年7月)に論じられており、本明細書中に参照として組み入れる。

【0101】図10に、Gmブロックをより詳細に示す。図10において、トランジスタ960(図9)は、機能上、トランジスタブロック960aに置きかえられる。即ち、トランジスタブロック960aは、ブロック960a内に、トランジスタ964と、トランジスタ965と、トランジスタ966と、トランジスタ967とを含んでいる。同様に、トランジスタ970(図9)は、機能上、トランジスタブロック970aに置きかえられる。即ち、トランジスタ970aのブロックは、ブロック970a内に、トランジスタ974と、トランジスタ975と、トランジスタ976と、トランジスタ977とを含んでいる。テールトランジスタ980は、機能上、トランジスタブロック980aに置きかえられる。即ち、トランジスタブロック980aは、トランジスタ984と、トランジスタ985とを含んでいる。第1の電圧入力端子921に接続された制御端子を有するトランジスタ968は、電圧入力のためのバッファとして機能する。同様に、第2の電圧入力端子922に接続された制御端子を有するトランジスタ978も、バッファとして機能する。トランジスタ969は、トランジスタ968に対する電流ドライブ及びバイアス印加を提供する。同様に、トランジスタ979はトランジスタ978に対する電流ドライブ及びバイアス印加を提供する。

【0102】ERフィルタは、応答H(jω)を有し、これは、カットオフ周波数ωcとゼロ位置を、パラメータZc及びZ0を介して変化させることにより、上述したように制御される。ERフィルタのカットオフ周波数は、トランジスタ960(或いは、トランジスタ970)のコレクタ電流に正比例する。各種Gmブロックのテールトランジスタを通過する電流であるテールバイア

ス電流Ib1a, は、トランジスタ960のエミッタ電流に比例する。したがって、テールバイアス電流Ib1a, は、コレクタ電流にトランジスタ960のαパラメータを乗じた値に比例する。不都合なことに、トランジスタのαパラメータは温度とともに変化するため、バイアス電流Ib1a, は温度とともに変化してしまう。バイアス電流Ib1a, の温度依存性がαパラメータへの依存性を取り除くことによって補償されない限り、バイアス電流Ib1a, の温度による変化は、ERフィルタ上の温度依存性を引き起す。

【0103】デジタルアナログ変換器860はデジタルアナログ変換器860に与えられる特定のωcに適したテール電流であるチューニング電流Ituningを生成する。そして、温度/電圧補償回路870は、バイアス電圧Vb1a, を発生し、これは各テールトランジスタの制御端子に接続され、テールバイアス電流Ib1a, をチューニング電流Ituningと等しくなるように調整する。しかしながら、αパラメータは、温度とともに変化するため、温度/電圧補償回路870は、αを補償しなければならない。その結果、テールバイアス電流Ib1a, は、チューニング電流Ituningをαで除算した値にしなければならない。整合を達成するための回路を図13に示し、以下に詳細に説明する。

【0104】従来技術は、デジタルアナログ変換器のような、温度・電源不変回路を形成するために用いることができる。しかしながら、これらの技術では、複雑性とチップ面積の面で非常にコストの高い回路がしてしまう。したがって、デジタルアナログ変換器に用いられる従来技術は、ERフィルタに用いられる多数のテールバイアス電流を制御するには適していない。温度/電圧補償回路870は、ERフィルタのテールバイアス電流を、温度及び電源電圧の変化に感應しないチューニング電流Ituningと整合させる。温度/電圧補償回路870のほとんどの態様において、チューニング電流Ituningは、テールトランジスタ980と同一のトランジスタ特性を持つ整合トランジスタを通過させられる。さらに、整合トランジスタのドレインソース電圧は、テールトランジスタ980のドレインソース電圧に可能な限り近付くように整合される。その結果として得られる整合トランジスタのゲートソース電圧は、テールトランジスタ980のゲート端子におけるバイアス電圧Vb1a, として用いられ、テールバイアス電流Ib1a, を、チューニング電流Ituningに等しくさせる。

【0105】図11は、第1のGmブロック811-1に接続される温度/電圧補償回路870の従来設計を示している。整合トランジスタ1010のドレイン端子1011とゲート端子1012が共に入力端子871に接続されているため、入力端子871上のチューニング電流Ituningは、整合トランジスタ1010を通過する

ことになる。トランジスタ 1010 のドレイン端子 1011 上の電圧は、入力端子 872 上のバイアス電圧 V_{B10} に保たれる。整合トランジスタ 1010 は、テールトランジスタ 980 と同様のトランジスタ特性を持つものとして形成される。ゲート端子 1012 はテールトランジスタ 980 のゲート端子に接続され、整合トランジスタ 1010 のソース端子 1013 は、テールトランジスタ 980 のソース端子に接続されているため、整合トランジスタ 1010 とテールトランジスタ 980 のゲートソース電圧 V_{GS} は等しい。したがって、2つのトランジスタのドレインソース電圧 V_{DS} が等しい場合、テールトランジスタ 980 を通過するテールバイアス電流 I_{B10} は、整合トランジスタ 1010 を通過して流れるチューニング電流 I_{T10} と等しくなければならない。

【0106】しかしながら、テールトランジスタ 980 のドレインソース電圧は、共通モード電圧 V_{CM} からヘッド部 920 のトランジスタ 960 やトランジスタ 970 (図9) の両側の電圧降下を減じたものである。トランジスタ 960 とトランジスタ 970 がバイポーラトランジスタである場合、テールトランジスタ 980 のドレイン端子における電圧は、共通モード電圧 V_{CM} から温度依存性のベースエミッタ電圧 V_{BE} を減じたものである。さらに、図11の態様は、トランジスタ 960 の α 係数を補償しない。したがって、図11の従来システムは、温度補償が重要でない場合にのみ用いることができる。

【0107】図12は、温度／電圧補償回路 870 の別の従来例を示し、図11の態様よりもチューニング電流 I_{T10} とテールバイアス電流 I_{B10} と整合が良好である。入力端子 872 は、トランジスタ 1110 のベース端子 1111 に接続されているため、共通モード電圧 V_{CM} は、トランジスタ 1110 のベース端子 1111 上に加えられる。トランジスタ 1110 のエミッタ端子 1113 の電圧は、共通モード電圧 V_{CM} からトランジスタ 1110 のベースエミッタ電圧 V_{BE} を減じた電圧に保たれる。トランジスタ 1110 がトランジスタ 960 及びトランジスタ 970 (図9) に整合している場合には、エミッタ端子 1113 の電圧は、テールトランジスタ 980 のドレイン端子の電圧に等しくなければならない。

【0108】トランジスタ 1110 のエミッタ端子 1113 は、演算增幅器 1120 の正の入力端子 1122 に接続されている。演算增幅器 1120 の出力端子 1123 は整合トランジスタ 1130 のゲート端子 1132 に接続されている。演算增幅器 1120 の負の端子 1121 は、整合トランジスタ 1130 のドレイン端子 1131 に接続されている。ドレイン端子 1131 は、入力端子 871 に接続され、整合トランジスタ 1130 のソース端子 1133 は、接地されているため、入力端子 8750

1 上のチューニング電流 I_{T10} は、整合トランジスタ 1130 を通過させられる。演算增幅器 1120 の出力端子 1123 から、整合トランジスタ 1130 のゲート端子 1132、整合トランジスタ 1130 のドレイン端子 1131 を経て、演算增幅器 1120 の負の入力端子 1121 に至るフィードバック経路が形成される。このフィードバック経路により、演算增幅器 1120 は、演算增幅器 1120 の負の入力端子 1121 における電圧を、トランジスタ 1110 のエミッタ端子 1113 における電圧に等しい演算增幅器 1120 の正の入力端子 1122 の電圧に等しくさせる。上述したように、エミッタ端子 1113 における電圧はテールトランジスタ 980 のドレイン端子における電圧に等しい。したがって、整合トランジスタ 1130 とテールトランジスタ 980 のドレインソース電圧 V_{DS} は、等しい。チューニング電流 I_{T10} は整合トランジスタ 1130 を通過させられるため、整合トランジスタ 1130 のゲート端子 1132 における電圧はチューニング電流 I_{T10} が整合トランジスタ 1130 を通過して流れることを可能とする適正な V_{GS} である。ゲート端子 1132 は、テールトランジスタ 980 のゲート端子に接続されているので、テールバイアス電流 I_{B10} は、チューニング電流 I_{T10} に等しい。しかしながら、上述したように、トランジスタ 960 の α 係数は、テールバイアス電流 I_{B10} がチューニング電流 I_{T10} を α で除算した値に整合することを必要とする。さらに、図12の態様のフィードバックループは、出力端子 873 のキャパシタンスが大きい場合には不安定となる。ER フィルタ内の多数のテールトランジスタにより、出力端子 873 は、大きなキャパシタンスを有する。したがって、図12の態様は、ER フィルタにはあまり適していない。

【0109】図13は、温度／電圧補償回路 870 の新規な態様を示している。チューニング電流 I_{T10} をもつ入力端子 871 は、第1のカレントミラー 1230 の第1の電流端子 1232 に接続されている。第1のカレントミラー 1230 は、接地された電源端子 1233 を有している。第1のカレントミラー 1230 は、さらに、第2のカレントミラー 1240 の第1の電流端子 1242 に接続された第2の電流端子 1231 を有している。第2のカレントミラー 1240 は、正の電源電圧 V_{CC} に接続された電源端子 1243 を有している。第2のカレントミラー 1240 は、さらに、トランジスタ 1210 のコレクタ端子 1211 に接続された第2の電流端子 1241 を有している。

【0110】入力端子 871 は、さらに、出力端子 873 及び整合トランジスタ 1220 のゲート端子 1222 に接続されている。出力端子 873 は、テールトランジスタ 980 のゲート端子に接続されている。トランジスタ 1220 のソース端子 1223 は接地されているた

め、テールトランジスタ980のソース端子は、接地され、ゲート端子1222はテールトランジスタ980のゲート端子に接続され、整合トランジスタ1220及びテールトランジスタ980は、同一のゲートソース電圧を有する。

【0111】入力端子872は、トランジスタ1210のベース端子1212に接続されているため、共通モード電圧V_{CM}は、ベース端子1212上に加えられる。トランジスタ1210のエミッタ端子1213における電圧は、共通モード電圧V_{CM}からトランジスタ1210のエミッタ電圧V_{BE}を減じた電圧に保たれる。図12に関して上述したように、整合トランジスタ1220のドレイン端子1221に接続されたエミッタ端子1213上に得られる電圧は、整合トランジスタ1220のドレインソース電圧をテールトランジスタ980のドレインソース電圧に整合させる。

【0112】整合トランジスタ1220及びテールトランジスタ980は、同一のゲートソース電圧及びドレインソース電圧を有しているので、テールバイアス電流I_{bias}は、整合トランジスタ1220を通過して流れる電流に等しい。チューニング電流I_{tune}は、第1のカレントミラー1230の第1の電流端子1232に流れ込むため、チューニング電流I_{tune}は、第1のカレントミラー1230の第2の電流端子1231上に複写される(mirrored)。したがって、チューニング電流I_{tune}は、第2のカレントミラー1240の第1の電流端子1242に流れ込む。その結果、第2のカレントミラー1240は、第2のカレントミラー1240の第2の電流端子1241上にチューニング電流I_{tune}を複写する。したがって、トランジスタ1210のコレクタ電流は、チューニング電流I_{tune}に等しく、トランジスタ1210のエミッタ電流は、チューニング電流I_{tune}をトランジスタ1210の α で除算した値である。したがって、トランジスタ1220(?)を通過して流れる電流は、チューニング電流I_{tune}をトランジスタ1220の α で除算した値である。

テールバイアス電流I_{bias}は、整合トランジスタ1220を通過して流れる電流に等しくさせられるため、テールバイアス電流I_{bias}は、チューニング電流I_{tune}をトランジスタ1220の α で除算した値に等しい。トランジスタ1220をトランジスタ960に整合させることによって、ERフィルタのカットオフ周波数を正確に調整するように α 係数が相殺される。さらに、図13の態様は、実際には、出力端子873のキャパシタンスを増加させることにより、安定化される。

【0113】第1のカレントミラー1230及び第2のカレントミラー1240の具体的な実現形態は、第1の電流端子及び第2の電流端子上に整合電流が得られるものであれば、特に重要ではない。図14は、カレントミラーをトランジスタレベルで実現した温度/電圧補償回

路870の1態様を示している。特に第1のカレントミラー1230は、NMOSトランジスタ1330とNMOSトランジスタ1340から構成される。NMOSトランジスタ1330のゲート端子1332は、NMOSトランジスタ1340のゲート端子1342に接続されている。NMOSトランジスタ1330のドレイン端子1331は、トランジスタ1330のゲート端子1332と第2の電流入力端子1231に接続されている。NMOSトランジスタ1340のドレイン端子1341は、第1の電流端子1232に接続されている。NMOSトランジスタ1330のソース端子1333及びNMOSトランジスタ1340のソース端子1343は、接地されている電源端子1233に接続されている。

【0114】第2のカレントミラー1240は、PMOSトランジスタ1310とPMOSトランジスタ1320から構成されている。PMOSトランジスタ1310のドレイン端子1311及びPMOSトランジスタ1320のドレイン端子1321は、正の電源電圧V_{cc}に接続された電源端子1243に接続されている。PMOSトランジスタ1320のソース端子1323は、第1の電流端子1242に接続されている。ソース端子1313は、第2の電流端子1241と、PMOSトランジスタ1310のゲート端子1312と、PMOSトランジスタ1320のゲート端子1322に接続されている。

【0115】図15は、温度/電圧補償回路870の別の態様を示し、ここでは、第2のカレントミラー1240-14はカスコードトランジスタを組み込んで、カレントミラー1240-14内のトランジスタの出力抵抗を増加させている。カスコードトランジスタにより、第2のカレントミラー1240-14には、バイアス端子1244及び第2の電源端子1245が必要となる。第2のカレントミラー1240-14の基本的な機能は、第1の電流端子1232上の電流を、第2の電流端子1241の電流に等しくすることである。

【0116】第2のカレントミラー1240-14においては、第1の電流端子1242はカスコードPMOSトランジスタ1450のソース端子1453に接続されている。カスコードPMOSトランジスタ1450のドレイン端子1451は、PMOSトランジスタ1420の1423に接続されている。PMOSトランジスタ1420のドレイン端子1421は、正の電源電圧V_{cc}に接続されている第1の電源端子1243に接続されている。第2の電流端子1241は、カスコードPMOSトランジスタ1430のソース端子1433と、PMOSトランジスタ1410のゲート端子1412と、PMOSトランジスタ1420のゲート端子1422に接続されている。カスコードPMOSトランジスタ1430のソース端子1431は、PMOSトランジスタ1410のソース端子1413に接続されている。PMOSト

ランジスタ1410のドレイン端子1411は、電源端子1243に接続されている。バイアス端子1244は、NMOSトランジスタ1460のゲート端子1462に接続されている。NMOSトランジスタ1460のソース端子1463は、接地されている出力端子1245に接続されている。NMOSトランジスタ1460のドレイン端子1461は、PMOSトランジスタ1440のソース端子1443と、PMOSトランジスタ1440のゲート端子1442と、カスコードPMOSトランジスタ1430のゲート端子1432と、カスコードPMOSトランジスタ1450のゲート端子1452に接続されている。PMOSトランジスタ1440のドレイン端子1441は、電源端子1243に接続されている。

【0117】図13に関して上述したように、第1の電流端子1242上の電流は、チューニング電流 I_{tune} と等しくなければならない。したがって、カスコードPMOSトランジスタ1450とPMOSトランジスタ1420の双方とも、チューニング電流 I_{tune} を駆動するようにバイアスしなければならない。さらに、第2の電流端子1241上の電流もまた、チューニング電流 I_{tune} に等しくなければならない。したがって、カスコードPMOSトランジスタ1430とPMOSトランジスタ1410の双方とも、チューニング電流 I_{tune} を駆動するようにバイアスしなければならない。必要なバイアス印加は、NMOSトランジスタ1460及びPMOSトランジスタ1440によって達成される。即ち、NMOSトランジスタ1460は、整合トランジスタ1220に整合するトランジスタ特性を有している。さらに、NMOSトランジスタ1460は、整合トランジスタ1220と同じゲートソース電圧を有している。したがって、NMOSトランジスタ1460は、PMOSトランジスタ1440と、カスコードPMOSトランジスタ1430と、カスコードPMOSトランジスタ1450を活性化するような電荷がゲート端子1442上にあれば、それを低下させ始める。最後に、各種トランジスタを通過する電流は、チューニング電流 I_{tune} 或いはチューニング電流 I_{tune} をトランジスタ1210の α で除算した値と等しくなるように、カレントミラーによって等化される。

【0118】以上本発明の構造及び方法の態様について説明したが、これらは本発明の原理を示したものであって、発明の範囲を上述した特定の態様に限定するものではない。当業者であれば、この開示をから他のフィルタ、誤差値、部分応答信号、カレントミラー、Gm増幅器、GmCフィルタ、記憶素子、勾配、ハードウェア実現形態、ファームウェアなどを定義し、本発明の原理に

よる方法、回路、システムを形成するためにこれらの代替要素を用いることができるとはいうまでもない。

【0119】

【発明の効果】以上説明したように本発明によれば、記憶装置の読み出しシステムに含まれるERフィルタを正確で容易に最適化でき、かつ記憶装置の実際の動作中に、自己適応化できるERフィルタ最適化方法が得られる。

【0120】更に本発明によれば、記憶装置の読み出しシステムに含まれるERフィルタを正確で容易に最適化でき、かつ記憶装置の実際の動作中に、自己適応化できるERフィルタ最適化装置が得られる。

【0121】また本発明によれば、記憶装置の読み出しシステムの温度及び電圧供給レベルにおける変動を補償できる温度/電圧補償回路が得られる。

【図面の簡単な説明】

【図1】一般的な部分応答最尤法(PRML)読み出しシステムのブロック図である。

【図2】従来の等化器のブロック図である。

【図3】従来の等化器最適化システムのブロック図である。

【図4】本発明によるPRML読み出しシステムの詳細なブロック図である。

【図5】本発明による初期化モードにおけるER等化器最適化システムのブロック図である。

【図6】 Z 及び ω の関数としての平均二乗誤差値の等高線図である。

【図7】本発明によるトラッキングモードにおけるER等化器最適化システムのブロック図である。

【図8】図4及び図5のERフィルタブロック410の詳細なブロック図である。

【図9】GmCフィルタの一部を示す回路図である。

【図10】Gmブロックの一実施例を示す回路図である。

【図11】従来の温度/電圧補償回路のトランジスタ回路図である。

【図12】従来の温度/電圧補償回路のゲート回路図である。

【図13】本発明による温度/電圧補償回路の回路図である。

【図14】本発明による温度/電圧補償回路のトランジスタ回路図である。

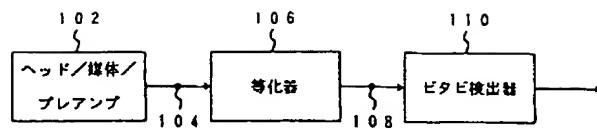
【図15】本発明による温度/電圧補償回路のトランジスタ回路図である。

【符号の説明】

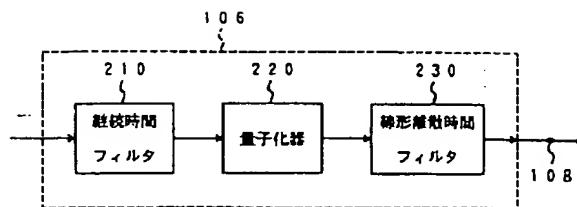
410 ERフィルタブロック

433 フィルタ最適化ブロック

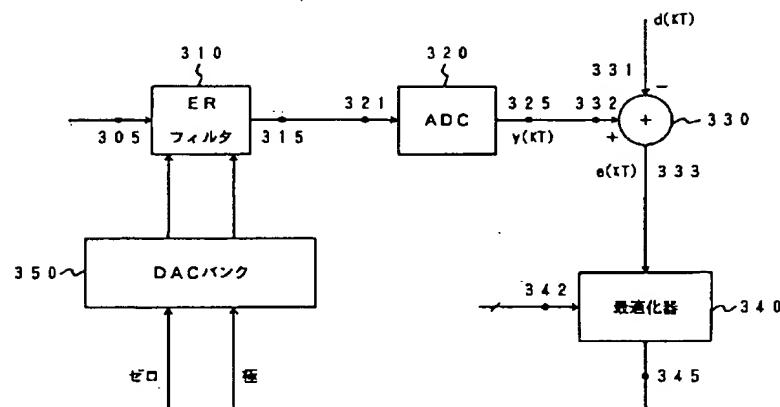
【図1】



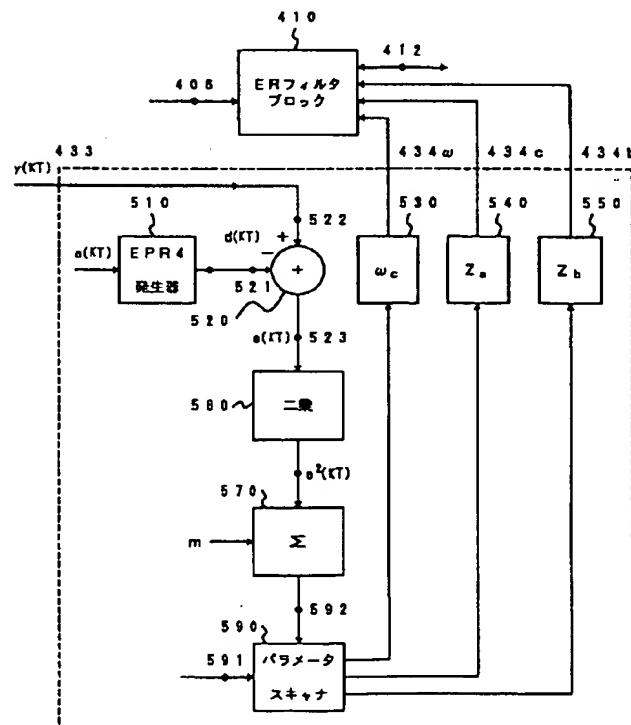
【図2】



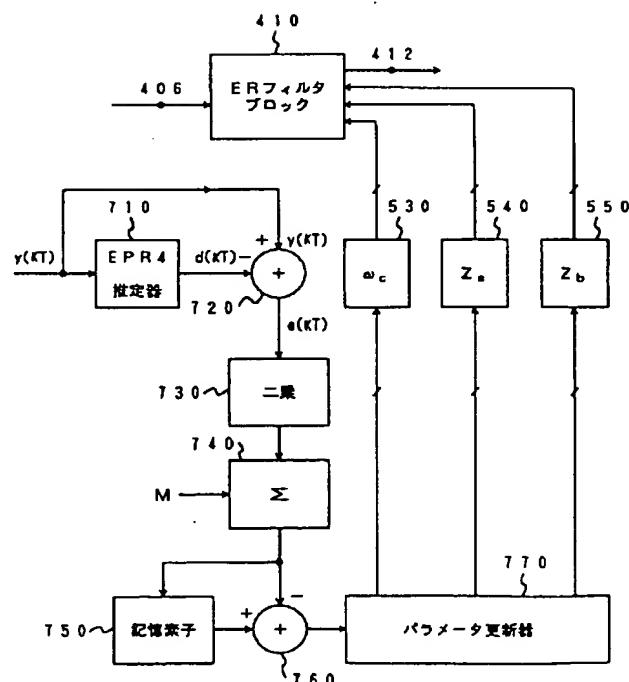
【図3】



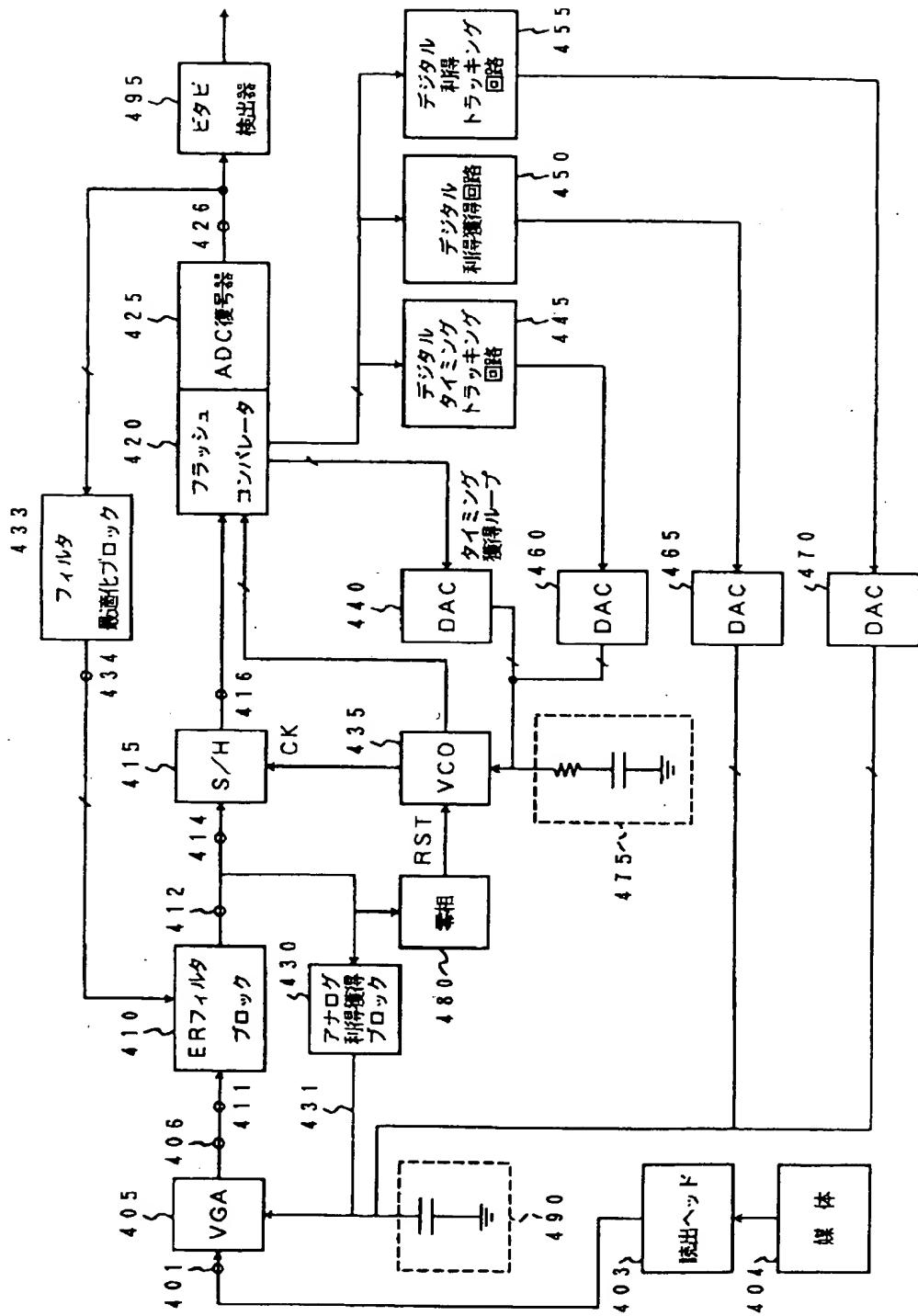
【図5】



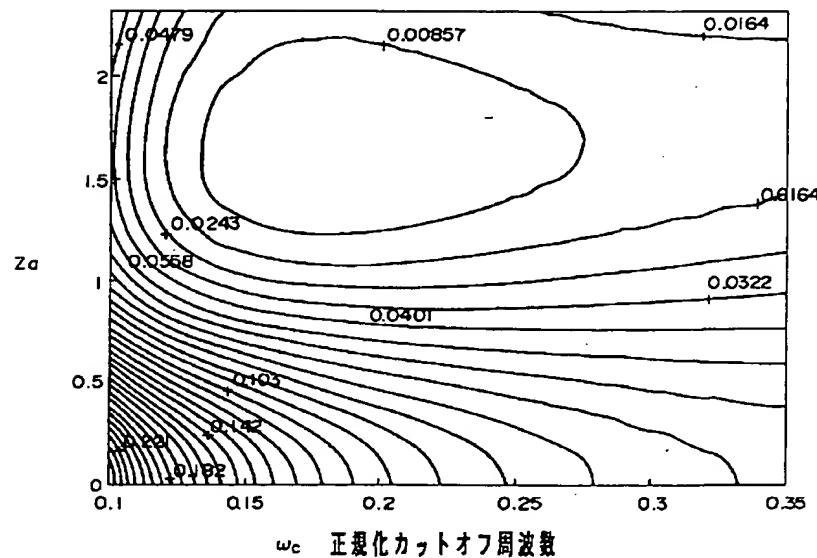
【図7】



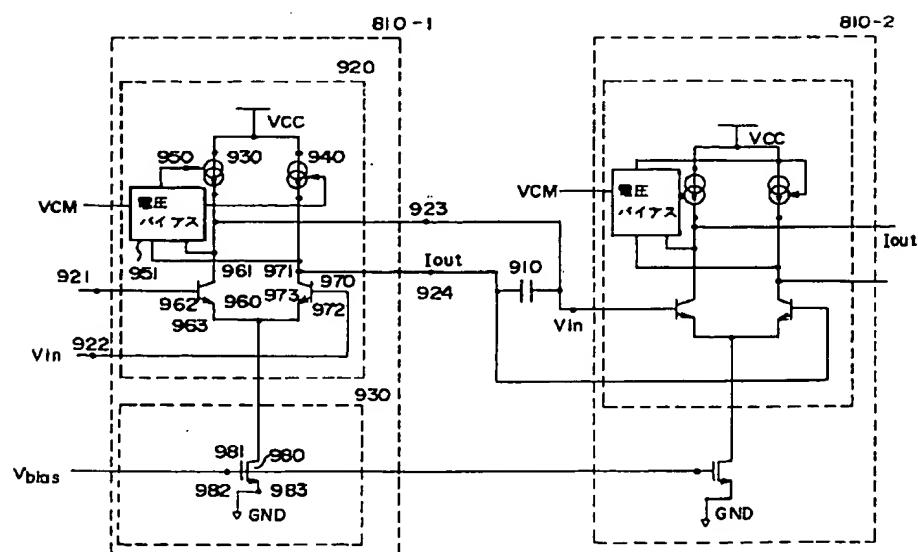
[図4]



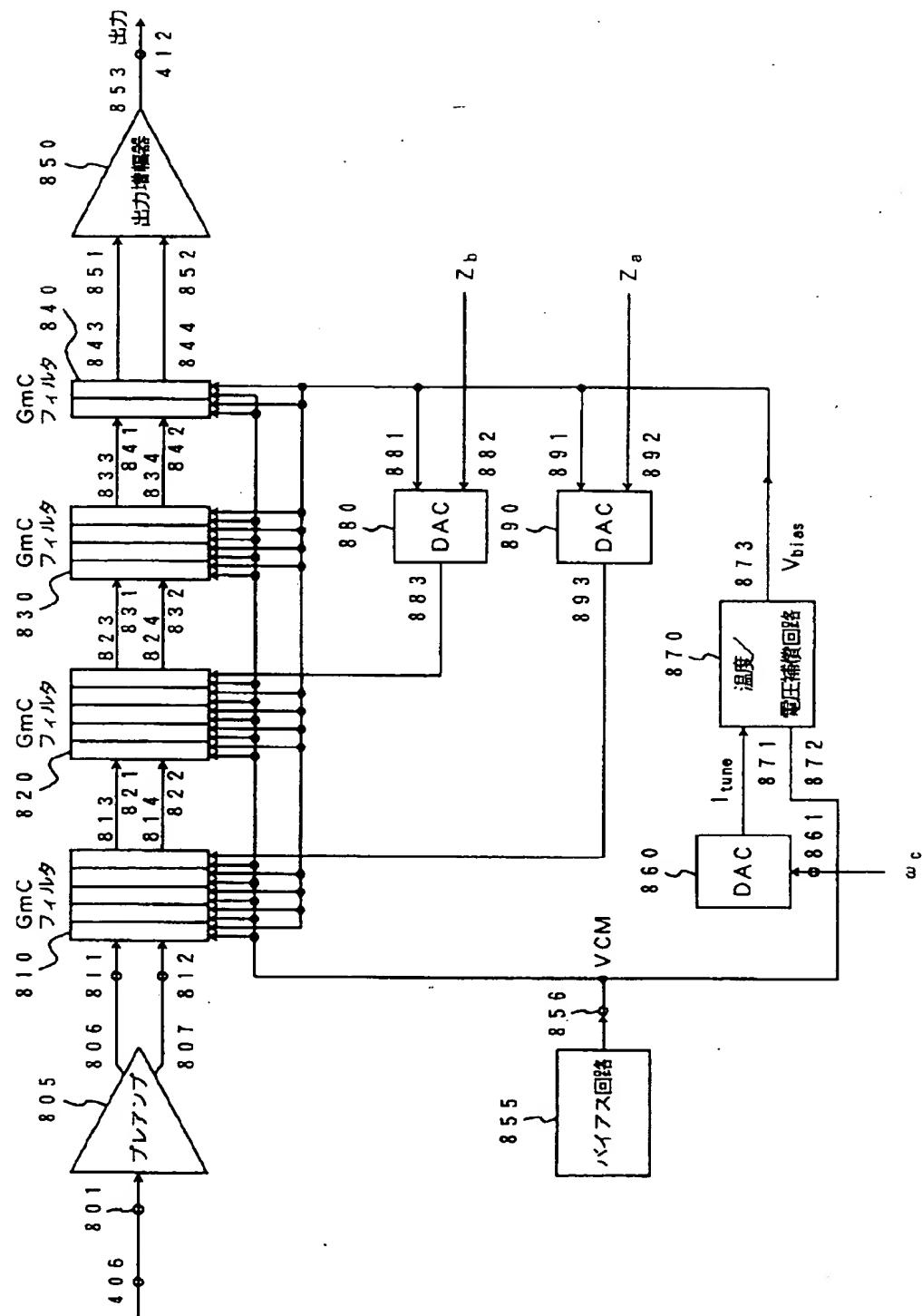
【図 6】



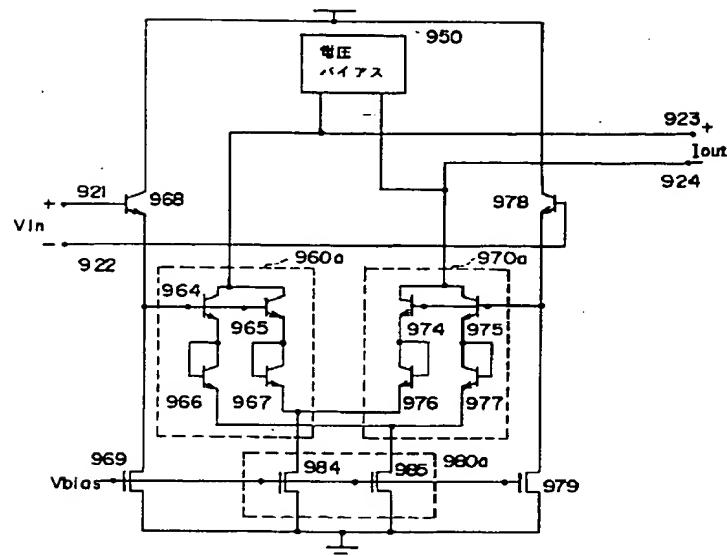
【図 9】



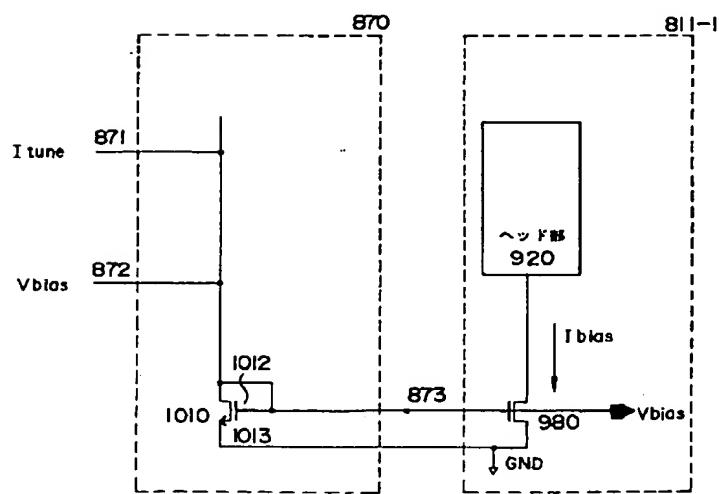
[図 8]



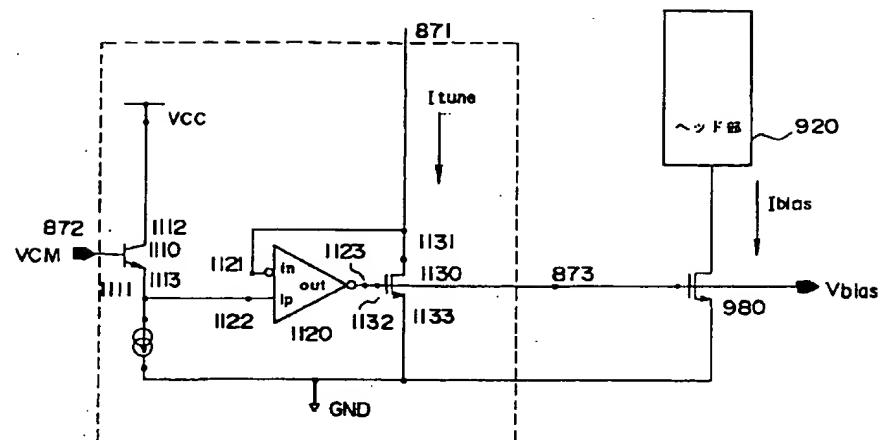
[図10]



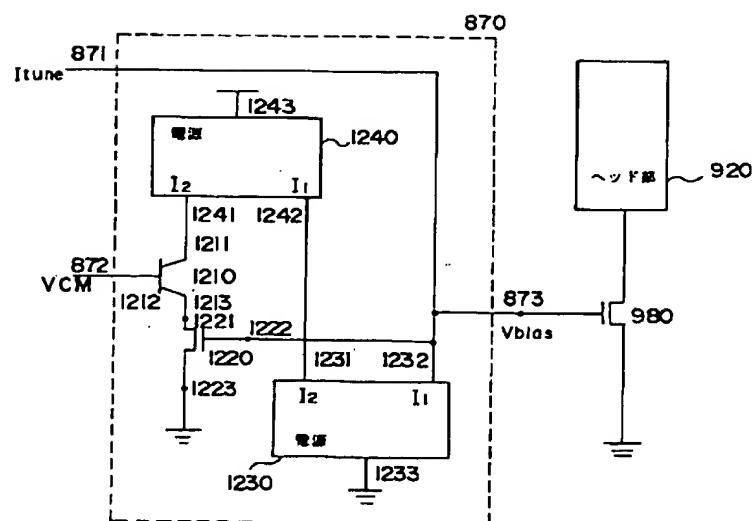
[图 11]



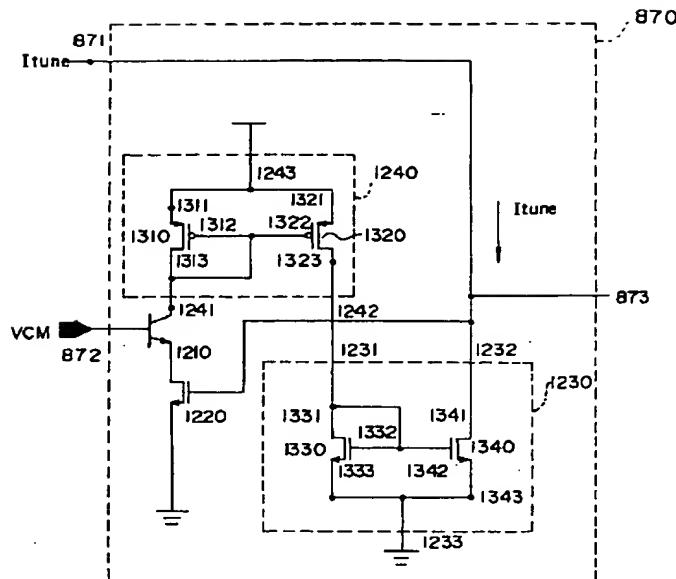
[図12]



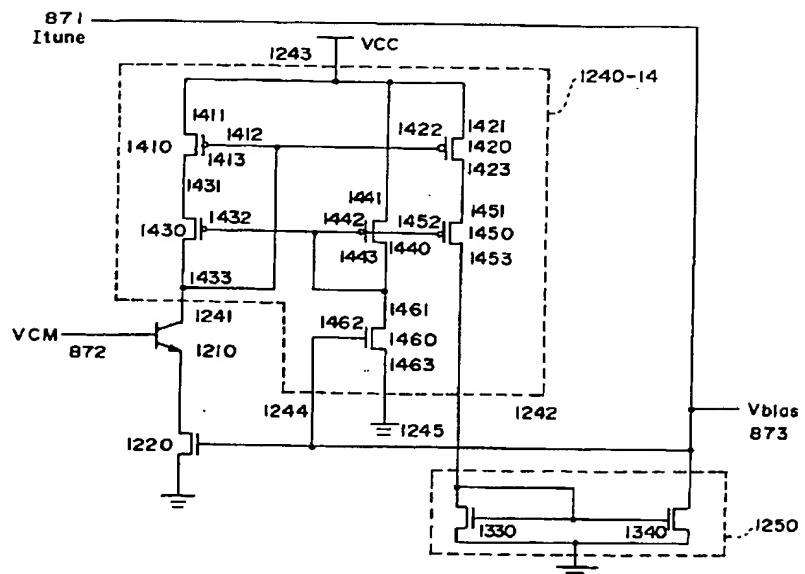
【図13】



【図 14】



【図 15】



フロントページの続き

(72)発明者 リチャード エイ コントレラス
 アメリカ合衆国, カリフォルニア 94043,
 マウンテン ヴュー, フリン アヴェニュー
 - 152